



Trabajo de Fin de Máster
"Máster Universitario en Microelectónica:
Diseño y Aplicaciones de Sistemas
Micro/Nanométricos"

Diseño de un sensor de imagen asíncrono con clústeres de píxeles autoalimentados

Escrito por Jesús Rivera Mínguez
Dirigido por Juan Antonio Leñero Bardallo
Junio 2024

Agradecimientos

Me gustaría darle las gracias a mi tutor, Juan Antonio Leñero Bardallo, por sus ganas contagiosas por la electrónica, la atención que me ha brindado en todo momento y el esfuerzo que ha dedicado a mi proyecto.

También agradecer a Sergio Palomeque Mangut, doctorando del IMSE, que sigue las mismas líneas de investigación que Juan Antonio Leñero, el apoyo recibido. Más de una duda me has resuelto Sergio.

Gracias a mi familia, por haberme dado siempre la educación y los valores que me han hecho ser la persona que soy hoy en día. Gracias también a INDRA, empresa en la que trabajo y he trabajado durante los dos cursos académicos en los que he realizado el máster, gracias a mis jefes por los permisos que he necesitado para poder finalizar mis estudios.

Índice general

Agradecimientos i

Índice de Figuras vi

Índice de Tablas vii

1. Resumen, motivación y objetivos 1
- 1.1. Resumen . . . 1
- 1.2. Motivación . . . 2
- 1.3. Objetivos . . . 3

2. Introducción a la unión PN y los sensores de imagen 5
- 2.1. La unión PN . . . 5
- 2.2. La unión PN iluminada . . . 6
- 2.3. Característica I-V de la unión PN iluminada . . . 7
- 2.4. Sensores de Imagen . . . 9
- 2.5. Sensores CCD y CIS o APS . . . 10
- 2.6. Sensores basados en eventos . . . 14
- 2.7. Sensor octupus . . . 15

3. Diseño del píxel 19
- 3.1. Consideraciones generales . . . 19
- 3.2. Modelado del Fotodiodo . . . 22
- 3.3. Inversor . . . 24
- 3.4. Transistor de reset . . . 26
- 3.5. Puerta NOR . . . 27
- 3.6. Puerta NAND . . . 28
- 3.7. Puerta AND . . . 29
- 3.8. Comparador . . . 30
  - 3.8.1. Par diferencial con carga activa . . . 33
  - 3.8.2. Amplificador de fuente común . . . 38
  - 3.8.3. Comportamiento . . . 39
  - 3.8.4. Diseño . . . 41
    - 3.8.4.1. Corriente de polarización . . . 42

3.8.4.2. Fuentes de corriente 43
3.8.4.3. Amplificador de fuente común 43
3.8.4.4. Espejo de corriente PMOS 44
3.8.4.5. Tamaño de todos los transistores 45
3.8.4.6. Ganancia en lazo abierto, ancho de banda y punto de operación 46
3.8.4.7. Variaciones en la frecuencia de pulso 48
3.9. Protocolo de Comunicación 50
3.10. Representación por Dirección de Eventos (AER) 51

4. Layout y comparativa con el estado del arte **57**
4.1. Diseño del Layout 57
4.2. Estado del Arte 65

5. Resultados y conclusiones **67**

Bibliografía **74**

Índice de Figuras

2.1. Unión PN 6
2.2. Efecto Fotoeléctrico en la unión PN 7
2.3. Característica I-V de una unión PN iluminada 8
2.4. Representación del Fill Factor 9
2.5. Primera fotografía de la historia, tomada por Nièpce (tejados de unas casas) 10
2.6. Diagrama de bloques generalizado de un sensor CCD 11
2.7. Primera imagen CMOS de un sensor y adquirida en un pixel de 28×28 de un dolar en JPL (Nasa) en 1993 (Caltech). 12
2.8. Sensores de imagen por modulación de pulsos 16

3.1. Esquemático del pixel propuesto 19
3.2. Secuencia de las señales del pixel 21
3.3. Espejo de Corriente 23
3.4. Circuito equivalente para un fotodiodo en región inversa que trabaja con valores de fotocorriente inferiores a 1pA. 24
3.5. Inversor 25
3.6. Puerta NOR 28
3.7. Puerta NAND 29
3.8. Puerta AND 31
3.9. Ejemplo de funcionamiento de un comparador 32
3.10. Característica DC del comparador 33
3.11. Comparador de dos etapas 34
3.12. Par diferencial con carga activa 36
3.13. Amplificador de fuente común 39
3.14. Histograma de offset a 700mV 46
3.15. Diagrama de Bode del comparador en lazo abierto 48
3.16. Caída de tensión en el condensador para una tensión de referencia de 500mV en el rango de fotocorrientes habitual 49
3.17. Respuesta temporal del sistema 51
3.18. Respuesta temporal del sistema 52
3.19. Variación de la frecuencia de los pulsos en función de una corriente de entrada senoidal 53

3.20. Esquema del sensor de imagen completo 55
3.21. Flujo de señales del sistema 56

4.1. Píxel 58
4.2. Clúster de cuatro píxeles para conseguir el diseño completo y el propósito dle proyecto 59
4.3. Fotodiodo en región fotovoltaica 60
4.4. Fotodiodo en región inversa 60
4.5. Fotodiodo en región inversa en tecnología 180nm 61
4.6. Esquema del sensor completo con los componentes necesarios para el correcto funcionamiento de la autoalimentación 62

Índice de Tablas

3.1. Dimensiones de los transistores del pixel 22
3.2. Dimensiones de los transistores del espejo de corriente 24
3.3. Dimensiones del inversor 25
3.4. Tabla de verdad de una puerta NOR 27
3.5. Tabla de verdad de una puerta NAND 29
3.6. Tabla de verdad de una puerta AND 30
3.7. Dimensiones de los transistores del comparador 34

4.1. Comparación con otros sensores autoalimentados de bajo consumo . . 65

CAPÍTULO 1

Resumen, motivación y objetivos

1.1. Resumen

El presente trabajo tiene como objetivo el diseño de un sensor de imagen de bajo consumo con píxeles de funcionamiento dual. Estos píxeles son capaces de detectar la intensidad luminosa de una escena para generar imágenes, al mismo tiempo que recolectan energía solar. Para ello, se integran dos tipos de diodos: uno por píxel, operando en región inversa para medir la intensidad luminosa, y otro, de menor tamaño, compartido entre tres píxeles adyacentes, que actúa como un panel solar.

En el primer capítulo se presenta un resumen del trabajo. Se expone la motivación del estudio en relación con el paradigma actual y el modelo energético de la sociedad contemporánea. Además, se detallan los objetivos del proyecto, los resultados esperados y la finalidad de la investigación.

El segundo capítulo proporciona los fundamentos teóricos necesarios para la comprensión del diseño propuesto. Se explica qué es una unión PN, su modelo y características I-V bajo iluminación, y se realiza una breve revisión de los diferentes tipos de sensores de imagen, indicando cuál ha sido seleccionado para el diseño en función de sus prestaciones.

En el tercer capítulo se desarrolla el diseño del píxel, describiendo el funcionamiento del sensor de imagen y los distintos módulos que lo componen. Se presentan los modelos matemáticos empleados, el diseño en el programa CADENCE, y los resultados obtenidos en las diversas simulaciones realizadas con el modelo completo.

El cuarto capítulo se centra en la realización del layout del píxel completo y, a su vez, el clúster que compondrán cuatro píxeles, ya que, como se ha comentado,

uno de los diodos de un píxel se comparte con otros tres. Se describe la integración del diodo que actúa como célula solar junto con los diodos destinados a medir la intensidad luminosa, formando así el sensor de imagen completo. Y después, una comparativa frente al estado del arte.

Finalmente, el capítulo cinco ofrece un resumen del trabajo realizado, un análisis de los resultados obtenidos y las conclusiones derivadas del estudio. Además, se proponen posibles trabajos futuros basados en el diseño desarrollado.

1.2. Motivación

El uso de energías no renovables como modelo predominante de consumo energético a nivel global se enfrenta a un dilema crucial, su disponibilidad es finita y su agotamiento es inevitable [1]. Diversos análisis y estudios indican que estamos alcanzando los límites de extracción y explotación de estos recursos, lo que nos obliga a replantear nuestro modelo energético hacia alternativas más sostenibles y renovables [2].

Por otro lado, el avance tecnológico en la sociedad moderna ha traído consigo una proliferación sin precedentes de dispositivos electrónicos y sistemas automatizados que, si bien han mejorado nuestra calidad de vida y eficiencia, también han aumentado exponencialmente nuestra demanda energética. Desde los teléfonos móviles y ordenadores hasta los electrodomésticos inteligentes y los vehículos eléctricos, todos estos dispositivos requieren una fuente constante de energía para funcionar.

Ante este panorama, surge la necesidad urgente de buscar soluciones que reduzcan nuestra dependencia de las fuentes de energía externas y nos encaminen hacia la autosuficiencia energética. Una estrategia prometedora es el desarrollo de dispositivos autoalimentados, es decir, aquellos que pueden generar su propia energía sin depender de conexiones externas.

En este sentido, los transconductores juegan un papel crucial. Estos dispositivos, como los fotodiodos, son capaces de convertir energía física, en este caso la radiación solar, en energía eléctrica utilizable. Los fotodiodos son especialmente relevantes en aplicaciones de captación de energía solar, donde funcionan como componentes esenciales de células solares y paneles fotovoltaicos.

Al integrar transconductores como los fotodiodos en dispositivos y sistemas electrónicos, podemos avanzar hacia un futuro donde la generación y el consumo

de energía sean más eficientes y sostenibles, contribuyendo así a mitigar los desafíos asociados con la dependencia de recursos energéticos finitos y no renovables.

Por otro lado, las redes de sensores distribuidas requieren de sensores de muy bajo consumo o autoalimentadas porque resulta complejo proveerlas de una fuente externa o sustituir sus baterías.

1.3. Objetivos

El resultado de este trabajo es un diseño que puede ser enviado para su fabricación, lo cual permitirá investigar específicamente diferentes enfoques en un sensor de imagen así como su autoalimentación. La prueba del sensor fabricado y la validación de su modelo de bajo consumo propuestos están fuera del alcance de este estudio. Aunque este es el único tipo de sensor basado en eventos que realiza la conversión de luz a frecuencia, esperamos que futuros estudios sobre nuestro sensor puedan impactar aspectos relacionados con otros sensores basados en eventos, como los artefactos de movimiento, la escalabilidad y la compresión de datos. Para alcanzar este resultado, este trabajo ha abordado las siguientes tareas:

- Diseño y desarrollo de un sensor de imagen tipo octopus en UMC180: El proceso de diseño requirió una cuidadosa consideración para asegurar su viabilidad para la fabricación y para futuros estudios y la difusión de resultados.
- Propósito principal del sensor: Este sensor está destinado a servir como una plataforma experimental para validar la arquitectura del píxel de muy bajo consumo propuesta y validar que puede ser utilizado sin una fuente de alimentación externa.
- Examen exhaustivo de la evolución y el estado actual de los modelos de bajo consumo empleados en sensores basados en eventos, tanto síncronos como asíncronos, y a su vez, en otros tipos de sensores que no están basados en eventos: Esto implicó el estudio de las técnicas existentes y la comprensión de sus fortalezas y limitaciones.

CAPÍTULO 2

Introducción a la unión PN y los sensores de imagen

2.1. La unión PN

La unión PN [3] es la unión de dos semiconductores con dopados distintos, el semiconductor más usado es el silicio. Un extremo de la unión es la "zona P", dopado con átomos aceptores de electrones (columna XIII de la tabla periódica). Esta ausencia de electrones es denominada como huecos [1]. En el otro extremo de la unión se encuentra la "zona N", en este caso, dopada con átomos con exceso de electrones (columna XV de la tabla periódica).

Cuando ambos extremos se ponen en contacto comienza un proceso denominado recombinación, este proceso es debido a la diferencia de concentración de electrones y huecos. Los electrones sobrantes de la zona N atraviesan la unión y llegan a la zona P, donde se recombinan rápidamente. A su vez, sucede lo mismo para los huecos, los huecos sobrantes de la zona P atraviesan la unión y llegan a la zona N, donde se recombinan rápidamente. Como resultado se forma una corriente de difusión, que va de la zona P a la zona N, si por convenio tomamos como sentido de la corriente los portadores con carga positiva.

A su vez, los electrones al abandonar las impurezas del semiconductor del lado N dejan a este semiconductor con ausencia de un electrón, es decir, carga positiva. Una vez que el electrón se recombina en el lado P con un átomo de este semiconductor, el mismo adquiere un electrón más, es decir, carga negativa. Lo mismo sucede para los huecos. Y como consecuencia se va acumulando carga a ambos extremos de la

[1] Los huecos tienen valores absolutos de la misma carga que el electrón, pero su carga es positiva en lugar de negativa

unión, y esta diferencia crea un campo eléctrico, que a su vez crea una corriente de arrastre (Ja) con sentido contrario al de la corriente de difusión (Jd) [4].

Estos procesos se cancelan cuando las corrientes son idénticas y el resultado, una región con pocos portadores de carga llamada zona de deplexión o Zona de Carga Espacial (ZCE). Cuando se llega a este punto, se dice que se ha alcanzado el equilibrio[2].

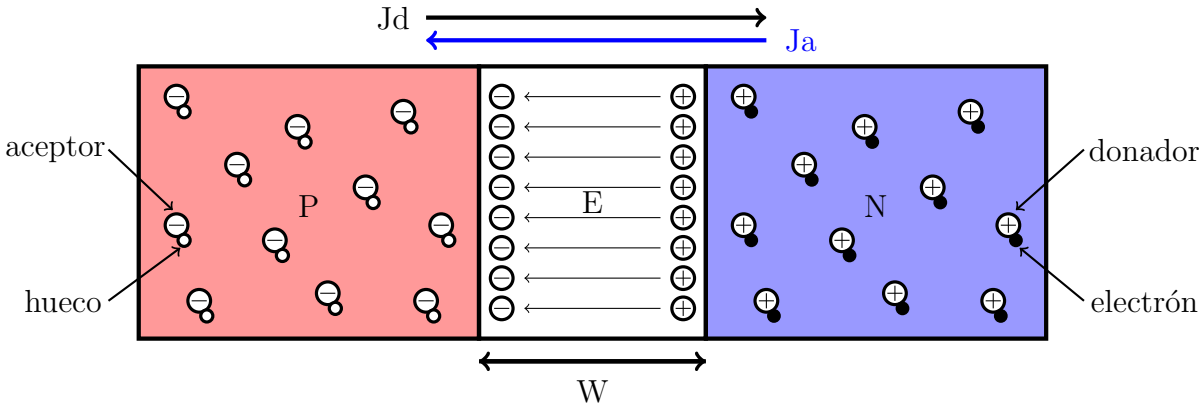


Figura 2.1: Unión PN

2.2. La unión PN iluminada

Cuando inciden fotones en la unión PN, o más concretamente, en la Zona de Carga Espacial, se generan pares electrón hueco por efecto fotoeléctrico [5]. Estos pares electrón hueco son separados por el campo eléctrico de la unión, lo que provoca una aparición de corriente que lleva el sentido de la corriente de arrastre.

La inyección de electrones en la zona N y de huecos en la zona P provoca la polarización de la unión, esta polarización tiene el signo de la polarización directa.

[2]En la figura 2.1, W se corresponde con la anchura de la ZCE y E con el campo eléctrico que se forma en la unión

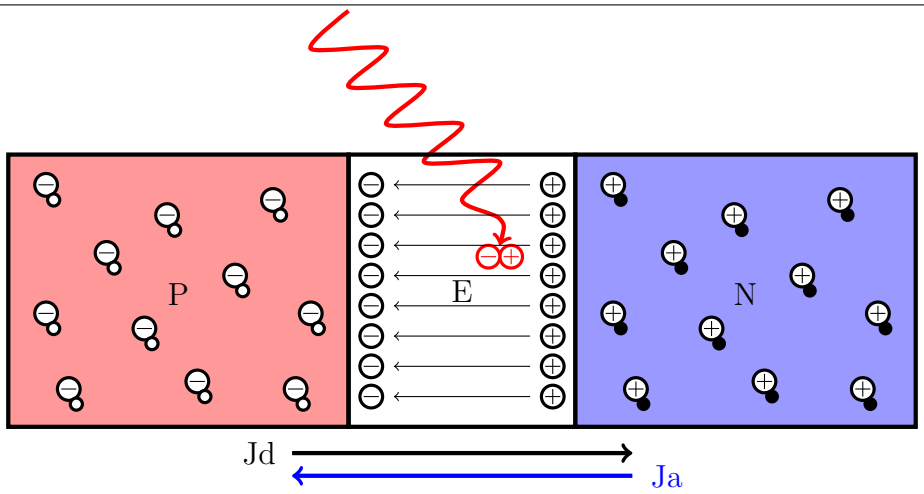


Figura 2.2: Efecto Fotoeléctrico en la unión PN

Es decir, con este efecto en la unión, la corriente generada tiene signo negativo y la polarización signo positivo, esto indica que la unión genera potencia eléctrica. Bajo estas condiciones a la unión también se le llama célula solar.

2.3. Característica I-V de la unión PN iluminada

A continuación, se puede observar en la imagen 2.3 como varía la característica I-V de una unión PN siendo iluminada y en oscuridad[3]. Estas curvas representan la corriente de la unión en iluminación y en oscuridad, cuyas escuaciones se pueden ver acto seguido.

$$I_{oscuridad} = I_0(e^{qV/nk_BT} - 1) \tag{2.1}$$

$$I_{iluminación} = I_0(e^{qV/nk_BT} - 1) - I_L \tag{2.2}$$

Donde "I_0" es la corriente de saturación de la unión, "q" la carga del electrón [6], "V" la tensión que cae en la unión, "n" el factor de idealidad, por simplicidad se

[3]Nótese que dicha imagen representa el comportamiento de una unión PN en oscuridad y en iluminación de una manera cualitativa, no cuantitativa. De hecho la curva observada puede ser más o menos pronunciada en función de las características de la unión

elige 1, "k_B" la constante de Boltzmann [7] y "T" la temperatura en Kelvin, se toma la temperatura ambiente aproximándola a 298K. Por último, "I_L" es la corriente que aparece en la unión al ser iluminada, la cual tiene el mismo sentido que la corriente de arrastre como se comentaba anteriormente.

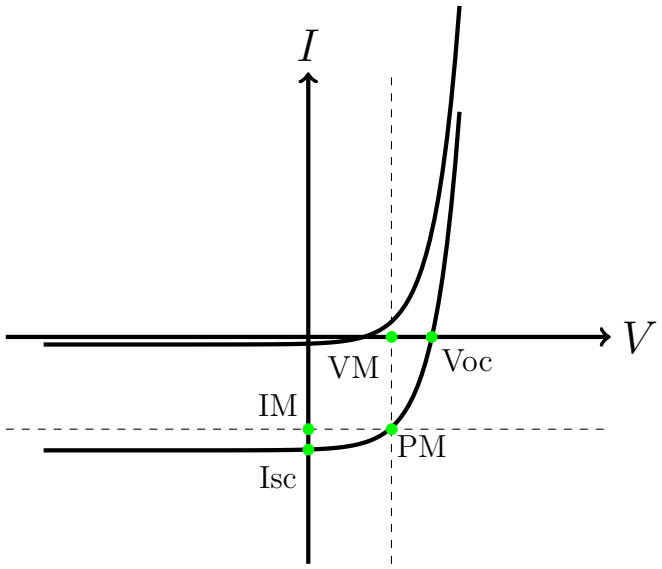


Figura 2.3: Característica I-V de una unión PN iluminada

"IM" y "VM" se corresponden a los valores máximos de corriente y tensión que puede proporcionar la unión en iluminación para entregar el máximo de potencia eléctrica. El punto señalado como "PM" es la máxima potencia que puede entregar la unión, siendo este el producto de la corriente y tensión máxima [8].

Por otro lado, podemos observar un punto llamado "Isc" que es la llamada corriente de cortocircuito, es decir, la corriente para la cual la tensión en la unión es 0. Por último, el punto "Voc", llamado tensión de circuito abierto, valor para el cual la corriente que circula por la unión es 0. Dichos parámetros son importantes a la hora de determinar la potencia máxima que puede entregar una célula solar. También el "fill factor" o factor de llenado (FF) que es un parámetro que junto a la tensión de circuito abierto y la corriente de cortocircuito determina la potencia máxima que entrega una célula solar [9].

Dichos parámetros se pueden definir de la siguiente manera.

$$|I_{MP}| \approx I_{SC}\left(\frac{1}{1+nkT/qV_{MP}}\right) \tag{2.3}$$

$$V_{MP} = V_{OC} - \frac{nkT}{q} ln \left[1 + \frac{qV_{MP}}{nkT} \right] \tag{2.4}$$

$$I_{SC} = qG(L_n + W + L_p) \tag{2.5}$$

$$V_{OC} = \frac{nkT}{q} ln \left(\frac{I_L}{I_0} + 1 \right) \tag{2.6}$$

Algunos parámetros de estas ecuaciones han sido descritos previamente, sin embargo hay otros que no, como la transconductancia de la unión ("G"), la longitud de difusión de los electrones ("L_n"), la anchura de la unión PN ("W").

Esta explicación puede verse también en la imagen 2.4.

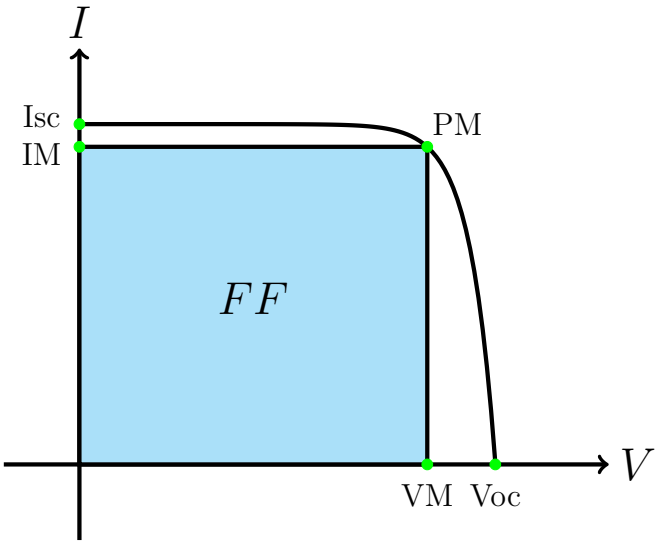


Figura 2.4: Representación del Fill Factor

2.4. Sensores de Imagen

En 1826, en Borgoña (Francia), Joseph-Nicéphore Niépce capturó la primera fotografía de la historia, figura 2.5, tomada de [10]. Para lograr este hito, el inventor francés utilizó una cámara oscura que contenía una placa de metal recubierta con betún, un material sensible a la luz. Niépce colocó esta cámara frente a una ventana

en su finca y, debido a la baja sensibilidad lumínica del betún, expuso el sensor durante varios días a plena luz del sol. Posteriormente, sumergió la placa en aceite de lavanda diluido para revelar la imagen, disolviendo las partes menos expuestas del betún y obteniendo así una imagen negativa [11].



Figura 2.5: Primera fotografía de la historia, tomada por Nièpce (tejados de unas casas)

Este proceso químico, conocido hoy en día como impresión por contacto, constituye la base de la fotografía con película. Aunque se trataba de una imagen en blanco y negro, esta fotografía es un testimonio de las técnicas tempranas de sensibilización de imagen, sirviendo como referencia para las sofisticadas técnicas empleadas en la actualidad.

La fotografía moderna está estrechamente ligada a las cámaras digitales. Un sensor de imagen digital está compuesto por una parte semiconductora cuyas propiedades electrónicas se alteran cuando es impactada por fotones de una energía específica. Esto permite medir la intensidad luminosa mediante la corriente o voltaje inducido en el semiconductor.

2.5. Sensores CCD y CIS o APS

En 1969, los ingenieros de AT&T Bell Labs, Willard Boyle y George Smith, desarrollaron el dispositivo de carga acoplada (CCD) [12], lo que propició el lanzamiento

del primer sensor de imagen digital en el mercado. Este avance revolucionó la tecnología de captación de imágenes y sentó las bases para el desarrollo de cámaras digitales modernas.

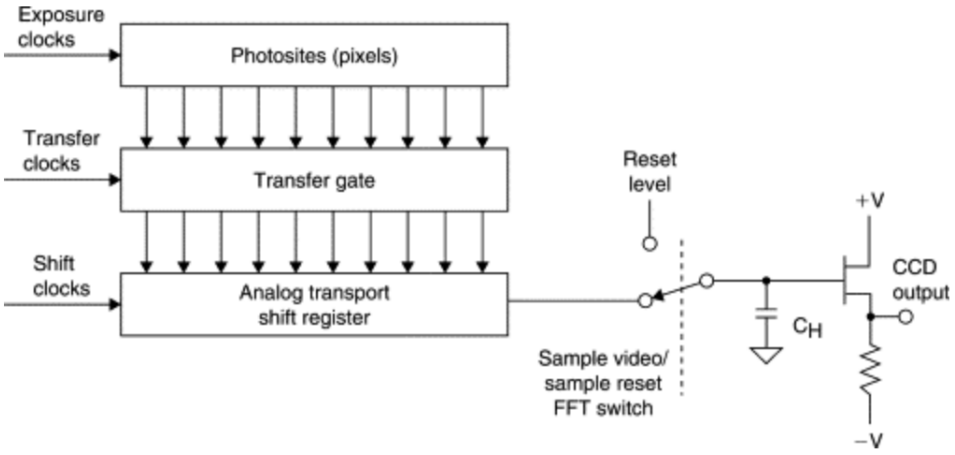


Figura 2.6: Diagrama de bloques generalizado de un sensor CCD

Los sensores de imagen CCD, en sus inicios, utilizaban condensadores MOS para acumular la carga fotogenerada en el silicio, solucionando así los problemas de fabricación que afectaban a los sensores de píxeles pasivos y activos. La tecnología CCD permitió que los paquetes de carga se desplazaran eficientemente a lo largo de una línea de condensadores MOS. Este desplazamiento se producía hasta alcanzar un registro de desplazamiento rápido, donde la carga se amplificaba y se leía para formar la imagen digital [13]. Un esquema general de como es un diagrama de bloques de un sensor CCD puede verse en la figura 2.6, tomada de [14].

El impacto de los CCD fue significativo, no solo en el ámbito de la fotografía digital, sino también en campos como la astronomía, la medicina y la seguridad, debido a su alta sensibilidad a la luz y su capacidad para producir imágenes de alta calidad. A lo largo de las décadas, la tecnología de CCD se ha mejorado y miniaturizado, permitiendo su integración en una amplia variedad de dispositivos, desde cámaras profesionales hasta teléfonos móviles.

Esta arquitectura se mejoró en 1980 con la introducción del fotodiodo de clavija (PPD), que resolvió el problema inherente del retardo de obturación. Esta innovación representó un avance significativo en la tecnología de sensores de imagen, mejorando su rendimiento y eficiencia. En reconocimiento a sus contribuciones fundamentales al desarrollo de la tecnología de imagen digital, Willard Boyle y George Smith, junto

con Michael Tompsett, recibieron el Premio Nobel de Física en 2009 [15].

Los dispositivos CCD presentaban varios inconvenientes. Para transferir la carga, se requerían numerosos pasos, lo que conllevaba un consumo de energía considerable. Esta complejidad en la transferencia de carga dificultaba la escalabilidad de los CCD para incrementar el número de píxeles. Además, los CCD necesitaban componentes de procesamiento externos fuera del chip, lo que los hacía voluminosos, pesados y con un alto consumo energético. También presentaban efectos no deseados, como el desenfoque y el resplandor.

Estas limitaciones llevaron a Eric Fossum, en 1992, a desarrollar una nueva tecnología conocida como sensor de píxeles activos (APS) o sensor de imagen CMOS (CIS) [16]. Trabajando en el "Jet Propulsion Laboratory" de la NASA, Fossum diseñó una arquitectura que integraba la transferencia de carga y la amplificación dentro de cada píxel. Este enfoque permitía crear sistemas de imágenes más compactos y con menor consumo energético, ideales para las misiones espaciales de la NASA. La primera imagen CMOS puede observarse en la figura 2.7, tomada de [17].

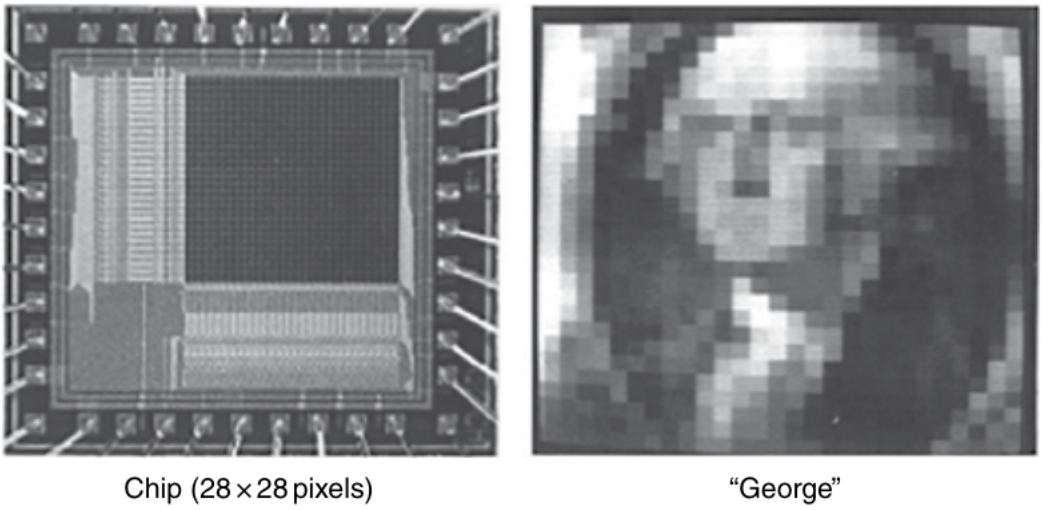


Figura 2.7: Primera imagen CMOS de un sensor y adquirida en un pixel de 28×28 de un dolar en JPL (Nasa) en 1993 (Caltech).

Además, los sensores CMOS podían fabricarse utilizando procesos de fabricación CMOS estándar, lo que simplificaba considerablemente su producción y la hacía más asequible en comparación con los CCD. Esta capacidad de fabricación más

económica y eficiente permitió una rápida adopción y expansión de los sensores CMOS en diversas aplicaciones tecnológicas.

Los diseñadores podían integrar todos los circuitos de temporización, control y procesamiento de señales CMOS en el mismo sensor CMOS, lo que representaba una gran ventaja en términos de eficiencia y tamaño. En 1995, Eric Fossum fundó la compañía Photobit con el objetivo de desarrollar y comercializar el sensor CMOS APS. Posteriormente, Photobit fue adquirida por Micron, lo que permitió a esta última convertirse en el mayor proveedor mundial de sensores de imagen.

Hasta el año 2023, este liderazgo en el mercado de sensores de imagen ha sido dominado por empresas como Samsung y Sony. Sin embargo, la industria aún depende de las propiedades intelectuales licenciadas por Caltech. En 2020, se estima que se enviaron aproximadamente 6.5 millones de sensores CMOS APS a nivel mundial, lo que subraya la amplia adopción y el impacto significativo de esta tecnología.

El desarrollo de retinas de silicio neuromórficas o sensores de imagen basados en eventos ha progresado en paralelo al avance de los sensores CMOS [18]. Aunque estos avances han estado rezagados respecto a los chips de sensores CMOS durante décadas, los sensores basados en eventos están ganando popularidad en la industria. Estos sistemas presentan características como alta resolución temporal, amplio rango dinámico, bajo consumo de energía y alto ancho de banda.

Los sensores de imagen convencionales, por otro lado, se componen de una matriz fotosensible que proporciona valores de iluminación absolutos en cada punto de una imagen, capturados típicamente cuadro por cuadro a una velocidad secuencial fija. Esta modalidad de captura difiere de los sistemas biológicos presentes en los animales, donde las células operan de forma independiente y asíncrona, centradas en detectar cambios.

La incursión de gigantes industriales, como Sony o Samsung, en este campo está introduciendo nuevos métodos y técnicas para la detección basada en eventos, lo que promete avances significativos en aplicaciones prácticas. Esta evolución tecnológica es especialmente relevante en el ámbito de la visión artificial y las tareas de inteligencia artificial en las que la calidad de la imagen no es primordial [19] [20].

2.6. Sensores basados en eventos

Los sensores de imagen basados en eventos, también conocidos como sensores de imagen de respuesta a eventos, operan de manera única en comparación con los sensores de imagen convencionales. En lugar de transmitir información absoluta de intensidad de luz, estos sensores comprimen los valores de intensidad de luz dentro de sus píxeles y transmiten un potencial de acción llamado evento o pulso [21].

Una matriz de píxeles basada en eventos produce un conjunto de pulsos, o eventos, según la arquitectura del píxel. Aunque el pulso puede pensarse como una señal digital de 1 bit, se comporta más como un impulso que lleva consigo el momento en que ocurrió el evento.

En consecuencia, los sensores basados en eventos son intrínsecamente asíncronos, con cada píxel detectando y transmitiendo eventos de manera autónoma. Esta operación libera al sensor de un paso de tiempo fijo, permitiéndole permanecer inactivo hasta que ocurra un pulso, y responder de manera natural a la escena visual.

La codificación eficiente de pulsos asegura que se minimice el número de actualizaciones. El sensor codifica típicamente la marca de tiempo del pulso, ya sea en el chip o externamente, mientras transmite la dirección del píxel disparador.

Las limitaciones de los formatos de sensores grandes y el tiempo de arbitraje impredecible de los sistemas asincrónicos han llevado a las empresas a favorecer enfoques más deterministas. Existe una tendencia creciente entre las empresas hacia esquemas de lectura síncrona, alejándose de la arbitración asincrónica tradicional de pulsos utilizando circuitos cableados NOR.

Aunque Prophesee y Sony anteriormente utilizaban una combinación de arbitraje asincrono entre filas de píxeles y escaneo secuencial de columnas [22], su investigación más reciente revela un cambio hacia la detección de visión basada en eventos combinada con la adquisición de imágenes enmarcadas convencionales.

En este trabajo, se aborda el desafío del diseño de sensores basados en eventos autoalimentados y de muy bajo consumo. Sin embargo, antes de estudiar los límites del esquema de lectura AER (Address Event Representation), se considera relevante proporcionar una descripción más detallada sobre la clase específica de sensores basados en eventos que se ha implementado en la investigación.

Una desventaja que se manifiesta en los sensores basados en eventos es su resolución espacial aparentemente inferior en comparación con los dispositivos de imágenes

de circuito integrado (CIS). Esto se refleja en el hecho de que el número de píxeles suele ser inferior a 1 MP. Además de los límites que imponen los actuales circuitos de sincronización asincrónica, la complejidad inherente de la circuitería de los píxeles actúa como una restricción adicional para reducir el paso de píxeles. A lo largo del tiempo, los tamaños de los píxeles han variado desde los 17 μm hasta los 50 μm. Sin embargo, los avances en nuevos diseños han permitido alcanzar tamaños tan pequeños como 4.95 μm mediante la aplicación de técnicas de integración vertical [19].

2.7. Sensor octupus

Una tercera categoría de sensores emerge en forma de sensores de imagen bioinspirados, los cuales capturan y transmiten la intensidad absoluta de los píxeles a lo largo del tiempo. Aunque muchos de estos sensores aún no alcanzan la supresión de redundancia o la reducción de la latencia, su rendimiento se beneficia de otras cualidades inherentes a la detección basada en eventos, como el amplio rango dinámico, la eficiencia energética y la excelente relación señal-ruido.

Los sensores de imagen modulados por pulsos (PM), presentando diversas arquitecturas, se destacan al emplear un comparador como componente fundamental y al beneficiarse de píxeles de menor tamaño en comparación con otras variantes basadas en eventos. A diferencia de los sensores de imagen CIS convencionales, que integran la fotocorriente durante un período de escaneo específico y luego leen el voltaje integrado en un escaneo rasterizado, los sensores de imagen PM integran la fotocorriente hasta alcanzar un umbral de voltaje fijo, desencadenando automáticamente un pulso en ese punto.

Una aplicación de la codificación en el dominio del tiempo se materializa en el sensor de imagen de tiempo al primer pulso (TTFS), el cual emplea esquemas de modulación por ancho de pulso (PWM) para medir el tiempo entre el reinicio de un píxel y el cambio del comparador. Este tiempo se cuantifica mediante temporizadores a nivel de píxel o a escala global. Un ciclo de medición inicia cuando el voltaje del fotodiodo se restablece a un nivel de voltaje predefinido, el cual luego es descargado por la corriente foto-generada. Un comparador compara de manera continua la rampa de voltaje de integración con una referencia de voltaje. La intensidad de la luz incidente se relaciona de forma inversamente proporcional con el tiempo de integración. De nuevo, la medición no está externamente gobernada como en un APS o CCD convencional, permitiendo que cada píxel elija autónomamente su propio tiempo de integración óptimo. Una vez que se alcanza el umbral, se produce un pulso.

En este estudio, se ha implementado el sensor "octopus", el cual emplea la modulación de frecuencia de pulsos (PFM, por sus siglas en inglés), como los ejemplos que pueden verse en la figura 2.8, tomada de [23]. Los píxeles de octopus codifican la intensidad absoluta de la luz en la frecuencia de los pulsos que emiten. Si bien su implementación guarda similitudes con la de los sensores TTFS, incorpora un mecanismo de auto-reinicio en la rampa de voltaje, iniciando un nuevo ciclo de integración al alcanzar el umbral de voltaje. El intervalo entre pulsos es inversamente proporcional a la fotocorriente de la luz incidente, de modo que una tasa de eventos más alta se traduce en un píxel más brillante. Los píxeles octopus pueden alcanzar frecuencias de pulsos de varias decenas de kHz. Sin embargo, la precisión de la medición de frecuencia se ve limitada por el desplazamiento de voltaje del comparador, el cual puede inducir ruido de patrón fijo, así como por el ruido kTC, la inyección de carga en el transistor de reinicio y el retardo de conmutación del comparador.

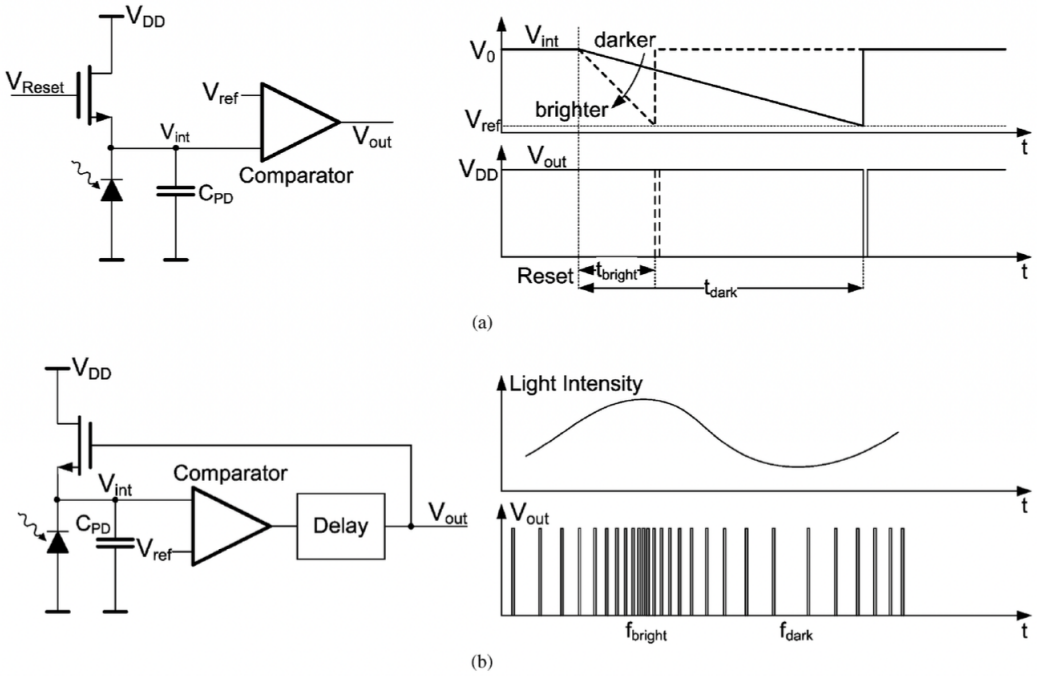


Figura 2.8: Sensores de imagen por modulación de pulsos

Un rasgo distintivo de los sensores octopus [24], es que los píxeles más brillantes reciben una mayor atención en la lectura asincrónica. Debido a que los píxeles más brillantes alcanzan el umbral de integración más rápidamente, demandan un acceso más frecuente al bus. Esto puede ocasionar artefactos de movimiento en la imagen, ya que un grupo de píxeles puede acaparar todo el ancho de banda del bus. Los esquemas de lectura sincrónica tradicionales asignan una porción igual del ancho de banda a

todos los píxeles independientemente de su actividad, previniendo eficazmente tal congestión. Sin embargo, el ancho de banda limitado de los árbitros en la periferia ha dificultado la aplicación de sensores de octopus en tareas específicas, como el seguimiento de fuentes de luz pequeñas e intensamente luminosas. En este trabajo, se propone una solución simple utilizando un esquema de lectura asincrónica por ventanas para aliviar la congestión en el canal AER, reduciendo el sesgo hacia los píxeles más brillantes en favor de los más oscuros.

Los sensores octopus han demostrado su eficacia en el seguimiento de fuentes de luz pequeñas y brillantes. Su excelente resolución temporal, bajo consumo de energía y salida de datos reducida los hacen aptos para aplicaciones de navegación espacial, permitiendo la precisa calibración de la posición del sol [25]. Estos sensores solares digitales han evolucionado hacia soluciones más compactas y eficientes, incorporando operación TTFS o utilizando fotodiodos en la región fotovoltaica para autoalimentación [26]. También se han considerado para aplicaciones en prótesis de retina [27].

Aunque la saturación de lectura y el ruido de patrón fijo han limitado su uso en aplicaciones de imagen convencionales, se han realizado esfuerzos para abordar estos inconvenientes. Por ejemplo, se incorporó el recuento de pulsos y memoria en formato de código Gray de 8 bits para el recuento y la lectura paralela [28]. Su arquitectura síncrona les ha permitido capturar instantáneas de la escena durante el período de integración. Además, se han integrado varios píxeles híbridos con modulación de frecuencia de pulsos y cálculo de contraste, APS y lectura basada en cuadros [29] [30] [31].

CAPÍTULO 3

Diseño del píxel

3.1. Consideraciones generales

La arquitectura del pixel puede verse en la figura 3.1 este sensor de imagen octopus se ha diseñado y simulado con tecnología de 180nm CMOS. Se pueden distinguir dos partes diferenciadas en el diseño del píxel. Por un lado, la parte analógica del circuito, que se encarga de recibir los fotones procedentes de la escena luminosa. Utilizando un protocolo AER, típico en sensores basados en eventos, los píxeles generan eventos con una frecuencia proporcional a la iluminación recibida por estos fotones, utilizando la conversión de luz a frecuencia. Por otro lado, estos eventos se procesan en la parte digital del píxel, que está compuesta por la lógica necesaria para el arbitraje entre los píxeles y la comunicación AER.

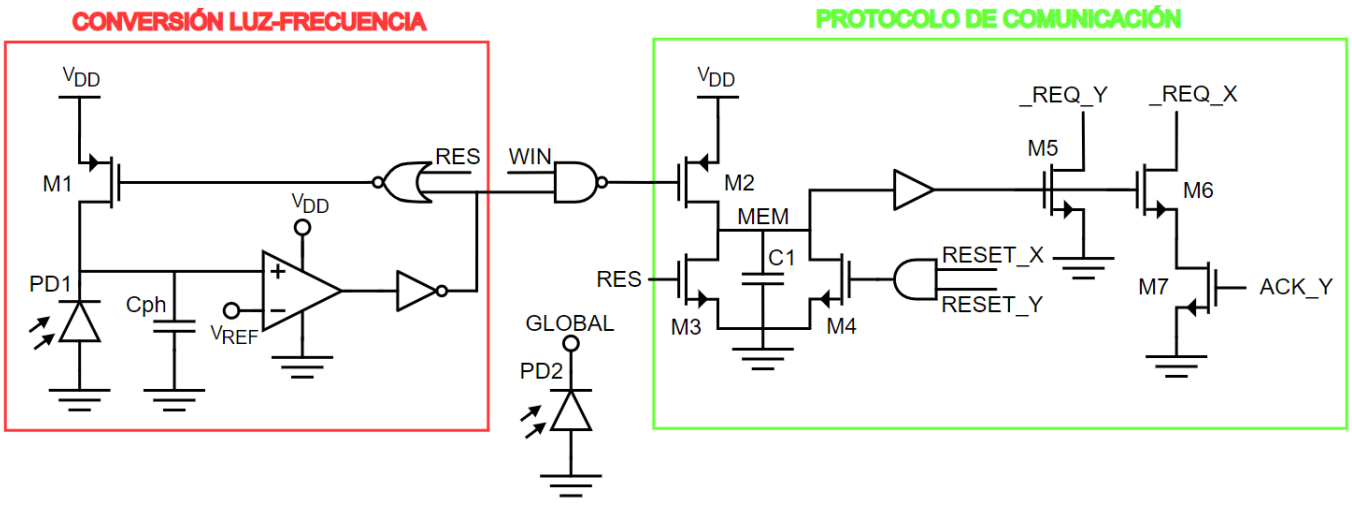


Figura 3.1: Esquemático del pixel propuesto

Cuando se activa la señal de reinicio (RES), se realiza un reinicio global de todo el circuito, iniciando su operación. Esto provoca que los condensadores del píxel se descarguen a una velocidad proporcional a la iluminación recibida. Posteriormente, cuando la caída de tensión del condensador alcanza la tensión de referencia del comparador (VREF), el comparador conmuta su salida y el condensador se reinicia, alcanzando los 1.8V proporcionados por el transistor de reinicio. Mientras tanto, una memoria analógica guarda en el condensador C1 un valor que indica que el comparador ha conmutado y que un evento necesita ser enviado [31].

En la parte derecha, el protocolo AER se encarga de identificar las coordenadas x e y donde el píxel ha conmutado. Las entradas y salidas digitales se comparten entre las filas (y) y las columnas (x) del píxel. Existen dos procesos de arbitraje: primero, para las filas y, posteriormente, para las columnas. Cuando el píxel logra acceder al bus de comunicación AER, envía la dirección a la FPGA utilizando el protocolo de comunicación.

El periodo de comunicación puede describirse mediante una función que depende de varios parámetros del circuito. El bloque de conversión luz-frecuencia actúa como un oscilador estable, cuya frecuencia de oscilación se determina mediante la siguiente expresión:

$$f_{osc} \approx \frac{I_{ph}}{C_{ph}(V_{DD} - V_{REF})} \tag{3.1}$$

La frecuencia de oscilación depende de la variación máxima de voltaje del píxel $\Delta V = V_{DD} - V_{REF}$, de la capacidad de integración del píxel C_{ph} y de la fotocorriente I_{ph}. Para la implementación del sensor solar, buscamos una frecuencia de disparo del píxel en el orden de KHz. Por lo tanto, ΔV puede ajustarse con este propósito.

Dado que un sensor solar puede estar expuesto a altos niveles de iluminación, los valores de capacidad de integración y la diferencia de tensión deben ser lo suficientemente altos para asegurar su correcto funcionamiento. El sensor propuesto está diseñado para operar en condiciones de alta iluminación. Para el diseño del píxel, se seleccionaron transistores con óxido de puerta más grueso. El valor de la fuente de alimentación puede configurarse hasta $V_{DD} = 5V$. Con transistores de tecnología estándar, el voltaje de la fuente de alimentación es de 1.8V. Por lo tanto, el valor máximo de ΔV para ajustar las tasas de disparo de los píxeles sería menor con estos transistores.

Considerando que el sensor podría estar expuesto a la luz solar directa en algunas

situaciones, se opta por proporcionar la mayor flexibilidad posible para ajustar las tasas de eventos para una iluminación dada [32].

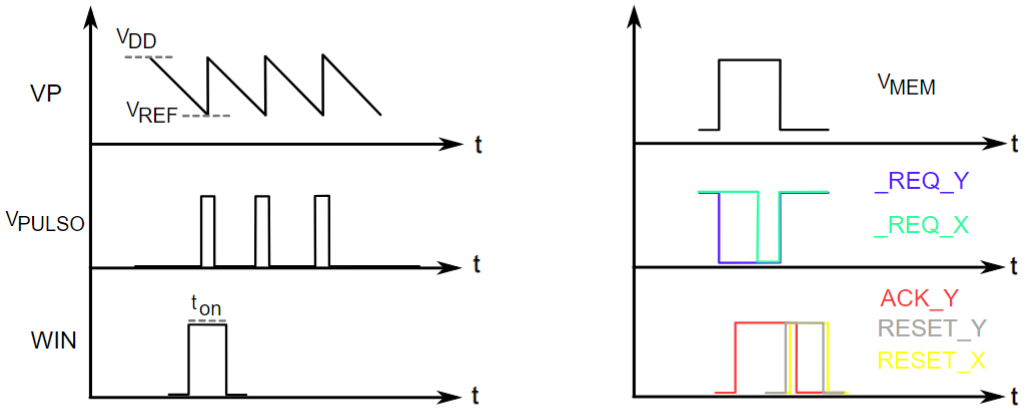


Figura 3.2: Secuencia de las señales del pixel

El pulso se procesa mediante una puerta NOR junto con el reinicio global para evitar que dos transistores PMOS queden flotando en el nodo de la entrada no inversora del comparador, lo que incrementaría las fugas de corriente. El transistor M1 es un transistor de entrada/salida (3.3V). Además, la puerta NOR y el inversor actúan como una etapa de buffer, retrasando la señal de reinicio por unos pocos nanosegundos y mejorando así la estabilidad del comparador. La lógica de ventana se implementa con una puerta NAND, que actúa como una válvula de cierre controlada por una señal externa que deshabilita la transmisión de pulsos (WIN).Los pulsos se transmiten a través de una interfaz lógica de arbitraje asíncrona [33].

Los píxeles del sensor están dispuestos en una cuadrícula, y cada uno comparte dos puertas NOR cableadas para enviar una señal a través de su fila y columna. El condensador C1 almacena el evento hasta que obtiene la atención del módulo AER en un corto período de tiempo, o el evento se descarta.

Primero se arbitran las filas (_REQ_Y). El módulo AER responderá con una señal de reconocimiento (ACK_Y) a la fila que primero transmitió la solicitud, lo que desencadena el arbitraje de columna (_REQ_X). Luego, el sensor transmitirá la dirección del píxel (fila y columna) y esperará una señal de reconocimiento del exterior. Cuando se reciba, se enviarán señales de restablecimiento al píxel (RESET_X y RESET_Y).

En las siguientes secciones se comentarán los diseños de cada uno de los componentes del circuito. Además, como se puede observar en la tabla 3.1, se presentarán las dimensiones de los transistores utilizados en el diseño. Estas dimensiones han sido seleccionadas de forma deliberada y no arbitraria.

	W(μm)	L(μm)
M1	0.24	0.34
M2	0.45	0.18
M3	0.24	0.18
M4	0.24	0.18
M5	2	0.18
M6	1.6	0.18
M7	1.6	0.18

Tabla 3.1: Dimensiones de los transistores del pixel

3.2. Modelado del Fotodiodo

Las fuentes de corriente primarias presentan ciertas problemáticas, entre las que se incluye la variabilidad en el número de elementos que las componen, que puede oscilar entre 2 JFET y 5 Zener. Aunque algunos diseños estudiados en la literatura tienden a ser relativamente simples, en la práctica suelen volverse más complejos, especialmente cuando se busca lograr un punto de operación más preciso. Asimismo, algunas configuraciones enfrentan el desafío del encendido, ya que pueden quedar en un estado estable con los transistores en situación de corte. Este inconveniente se puede subsanar mediante la incorporación de elementos adicionales en la fuente, con el fin de garantizar su correcto funcionamiento.

Por este motivo, en el diseño analógico se suele optar por la creación de una fuente primaria, la cual polariza cada uno de los bloques que lo requieran mediante un espejo de corriente. Estas topologías, compuestas por un máximo de cuatro elementos, permiten reflejar de manera sencilla la corriente original en tantas partes como sea necesario. Además, mediante simples modificaciones geométricas, es posible ajustar la corriente reflejada, aumentándola o disminuyéndola según se requiera. Finalmente, cabe destacar que algunos espejos poseen una impedancia de salida tan elevada que se utilizan ampliamente en el diseño de amplificadores, especialmente en configuraciones de pares diferenciales [34].

La fotocorriente generada se encuentra típicamente en el rango de 100fA a 1nA,

valores característicos de la corriente producida en un fotodiodo [35]. Para el diseño del fotodiodo, se empleará un espejo de corriente compuesto por una fuente ideal de corriente y dos transistores NMOS. Esta fuente ideal simula los valores de fotocorriente mencionados anteriormente. La Figura 3.3 muestra el diseño de este espejo.

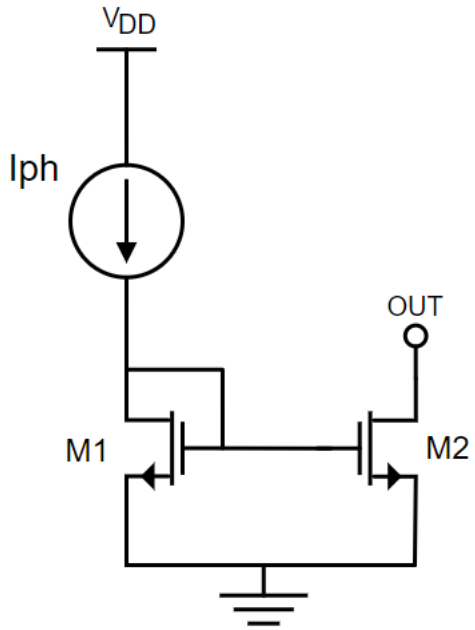


Figura 3.3: Espejo de Corriente

Para una comprensión adecuada del funcionamiento del circuito, es fundamental destacar que los dos transistores NMOS están apareados, lo que implica que comparten las mismas propiedades eléctricas. En este contexto, ambos transistores que conforman el espejo presentan una transconductancia (β) y una tensión umbral (V_{TH}) idénticas [36].

Sin embargo, para corrientes por debajo de 1pA, en lugar de utilizar un espejo de corriente simple, se utiliza el siguiente modelo circuital de la figura 3.4.

Suponiendo que ambos transistores están en saturación y que el efecto de modulación del canal [37] es despreciable, se puede llegar a las siguientes expresiones:

$$I_{DS_1} = \beta_1 \cdot (V_{GS_1} - V_{TH_1})^2 \tag{3.2}$$

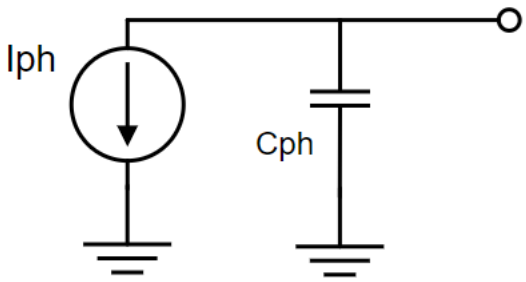


Figura 3.4: Circuito equivalente para un fotodiodo en región inversa que trabaja con valores de fotocorriente inferiores a 1pA.

$$I_{DS_2} = \beta_2 \cdot (V_{GS_2} - V_{TH_2})^2 \tag{3.3}$$

Sin embargo, como los transistores están apareados, la transconductancia y la tensión umbral es la misma en ambos transistores ($\beta_1 = \beta_2 \equiv \beta$) y ($V_{TH_1} = V_{TH_2} \equiv V_{TH}$). Por otro lado, las puertas de los transistores están cortocircuitadas por lo que ambas puertas están al mismo potencial ($V_{GS_1} = V_{GS_2} \equiv V_{GS} = V_A$).

$$I_{DS_1} = \beta \cdot (V_A - V_{TH})^2 = I_{DS_2} \tag{3.4}$$

Como se puede observar, la corriente que circula por ambos transistores es la misma.

	W(μm)	L(μm)
M1	0.24	0.18
M2	0.24	0.18

Tabla 3.2: Dimensiones de los transistores del espejo de corriente

3.3. Inversor

Como se mencionó anteriormente, la salida del comparador está invertida debido al diseño del propio dispositivo. Para abordar esta cuestión, se propone diseñar un inversor CMOS simple con alimentaciones de 1,8V y tierra. Este inversor se construye utilizando un transistor PMOS en el pull-up y un NMOS en el pull-down.

Las dimensiones de anchura y longitud de estos transistores se especifican en la tabla 3.3, observando que estos valores corresponden a los estándares implementados por la tecnología UMC180. La adición de inversores en la salida del comparador también tiene como objetivo retardar la señal de salida para garantizar el funcionamiento adecuado del circuito completo. En ciertas situaciones, la salida del comparador puede ser demasiado rápida, lo que puede afectar la conmutación del circuito. En la figura 3.5 puede verse el diseño de dicho inversor.

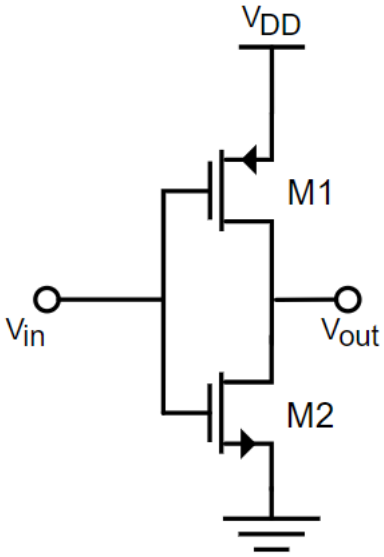


Figura 3.5: Inversor

	W(μm)	L(μm)
M1	0.24	0.18
M2	0.24	0.18

Tabla 3.3: Dimensiones del inversor

Para una mejor comprensión del comportamiento del inversor CMOS, es útil destacar que, como se ilustra en la figura 3.5, la entrada del inversor corresponde a la puerta común de ambos transistores, mientras que la salida es el nodo común que comparten los drenadores de ambos transistores.

Para determinar si la salida del inversor es V_{DD} o tierra, es esencial comprender el funcionamiento de los transistores PMOS y NMOS.

Un transistor PMOS presenta un comportamiento donde, si se aplica un nivel lógico “1” en su puerta, la fuente y el drenador se aislan, y el transistor entra en estado de corte. Por el contrario, si se aplica un nivel lógico “0” en la puerta, la fuente y el drenador se conectan a través del canal, permitiendo que el transistor conduzca. Esto resulta en una transmisión de “1” lógicos fuertes y “0” lógicos débiles. En el contexto del inversor CMOS, cuando la entrada del inversor recibe 1.8V, el transistor PMOS se aísla y no conduce. En cambio, si la entrada recibe 0V, la fuente y el drenador del transistor PMOS se conectan a través del canal, permitiendo que el transistor conduzca. Dado que la fuente está conectada a $V_{DD} = 1{,}8V$, la salida del inversor será de 1.8V [38].

En el caso de un transistor NMOS, si se aplica un nivel lógico “0” en su puerta, la fuente y el drenador se aíslan, y el transistor entra en estado de corte. Por el contrario, si se aplica un nivel lógico “1” en la puerta, la fuente y el drenador se conectan a través del canal, permitiendo que el transistor conduzca. Esto resulta en una transmisión de “0” lógicos fuertes y “1” lógicos débiles. En el contexto del inversor CMOS, cuando la entrada del inversor recibe 0V, el transistor NMOS se aísla y no conduce. En cambio, si la entrada recibe 1.8V, la fuente y el drenador del transistor NMOS se conectan a través del canal, permitiendo que el transistor conduzca. Dado que la fuente está conectada a tierra, la salida del inversor será de 0V [39].

3.4. Transistor de reset

El transistor de reset puede ser identificado como M1 en la figura 3.1. Su función principal consiste en llevar el nodo que conecta el condensador C_{ph} con la entrada no inversora del comparador a un nivel de V_{DD} cuando la tensión en el condensador alcanza el valor de la entrada inversora del comparador, V_{REF}. En otras palabras, a medida que pasa el tiempo, el condensador, inicialmente cargado, se descarga gradualmente de acuerdo con su modelo de comportamiento [40].

$$v(t) = \frac{1}{C} \int_{t_0}^{t} i(\tau) d\tau + v(t_0) \tag{3.5}$$

Por consiguiente, dado que la entrada inversora del comparador se encuentra establecida en $500mV$, cuando la caída de tensión en el condensador alcanza dicho valor, el transistor de reset entra en conducción. Dado que se trata de un transistor PMOS y conforme se ha explicado en la sección anterior, cuando se aplica un nivel

lógico “1” en la puerta del NMOS, este no conduce, mientras que si se aplica un nivel lógico “0”, sí lo hace. En este escenario, cuando la caída de tensión del condensador alcanza el valor de referencia del comparador, efectivamente se aplica un nivel lógico “0” en la puerta del PMOS.

Por lo tanto, cuando los 1.8V alcanzan el transistor de reset, este entra en conducción, y el nodo que conecta la fuente del transistor de reset, el condensador y la entrada no inversora del comparador se eleva a V_{DD}.

3.5. Puerta NOR

La función NOR se define mediante la ecuación 3.6:

$$f = \overline{A + B} \tag{3.6}$$

la cual también se puede definir de la siguiente manera, usando el teorema de De Morgan $f = \overline{A} \cdot \overline{B}$.

La tabla de verdad de esta puerta puede verse en 3.4.

A	B	f
0	0	1
0	1	0
1	0	0
1	1	0

Tabla 3.4: Tabla de verdad de una puerta NOR

La cual indica que si una o ambas entradas son un “1” la salida será “0”, mientras que si ambas entradas son “0”, la salida será un “1” [41].

El diseño de la puerta NOR en la tecnología UMC018 y el símbolo indicado para está función pueden verse en la figura 3.6.

Recuérdese que las entradas de esta puerta son la señal (RES) y la salida del inversor, que en este caso, siempre que la señal (RES) sea “0” la señal a la salida del inversor se invertirá en la puerta NOR, lo que hará que al llegar a la puerta

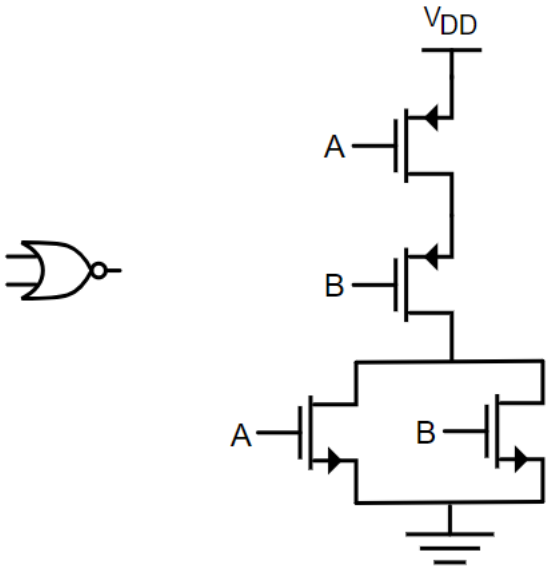


Figura 3.6: Puerta NOR

del transistor de reset un "0", el transistor conducirá y pondrá a 1.8V el nodo del condensador "C_{ph}".

Lo contrario que sucederá si las dos señales son un "0", lo que hará que el transistor de reset no conduzca y se produzca un reset global del sistema.

3.6. Puerta NAND

La función NAND se define mediante la ecuación 3.7:

$$f = \overline{A \cdot B} \tag{3.7}$$

la cual también se puede definir de la siguiente manera, usando el teorema de De Morgan $f = \overline{A} + \overline{B}$.

La tabla de verdad de esta puerta puede verse en 3.5.

Esta puerta tendrá a su salida un "1" siempre y cuando las entradas sean "0" o una un "1" y la otra un "0". Lo contrario sucederá si las dos entradas son un "1", para la cual, la salida de esta puerta será un "0" [41].

A	B	f
0	0	1
0	1	1
1	0	1
1	1	0

Tabla 3.5: Tabla de verdad de una puerta NAND

La puerta NAND, que actúa como una válvula de cierre controlada por una señal externa que deshabilita la transmisión de pulsos (WIN).

El diseño de la puerta NAND en la tecnología UMC180 y el símbolo indicado para está función pueden verse en la figura 3.7

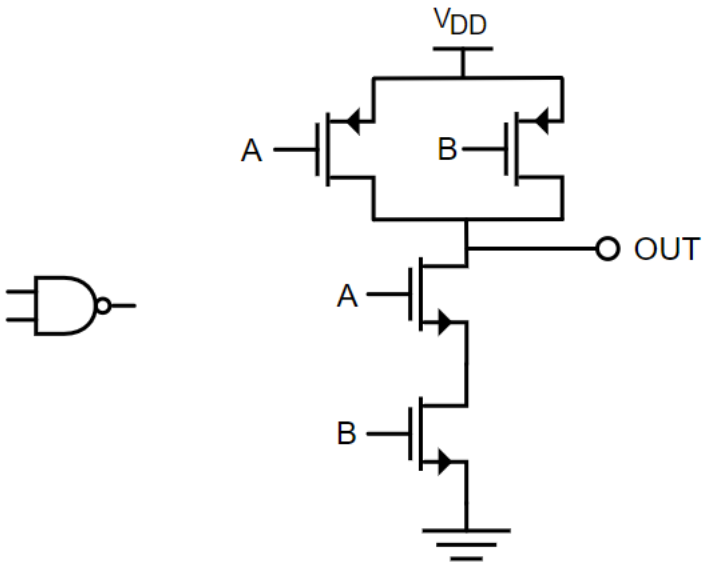


Figura 3.7: Puerta NAND

3.7. Puerta AND

La función AND se define mediante la ecuación 3.8:

$$f = A \cdot B \tag{3.8}$$

La tabla de verdad de esta puerta puede verse en 3.6.

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

Tabla 3.6: Tabla de verdad de una puerta AND

Esta puerta tendrá a su salida un “0” siempre y cuando las entradas sean “0” o una un “1” y la otra un “0”. Lo contrario sucederá si las dos entradas son un “1”, para la cual, la salida de esta puerta será un “1” [41].

La puerta AND, enviará las señales de reset para el eje X y el eje Y una vez se reciba una señal del exterior de reconocimiento del pixel con la finalidad de reestablecer las coordenadas.

El diseño de la puerta AND en la tecnología UMC180 y el símbolo indicado para está función pueden verse en la figura 3.8, nótese que para implementar una función no negada hace falta una etapa de inversión adicional para lograr cumplir la expresión de conmutación 3.8.

3.8. Comparador

Es comprensible que el diseño del comparador se haya reservado para el final, dado que es la parte más importante de todo el circuito y donde pueden surgir diversas variantes. No existe una única forma de diseñar un comparador, y esta etapa demanda un análisis detallado para garantizar su correcto funcionamiento.

Los comparadores guardan similitudes con los amplificadores operacionales, aunque están configurados para determinar cuál de las tensiones de entrada es mayor y decidir en consecuencia si la salida debe tener un nivel lógico “1” o “0”. Para la tecnología empleada en este trabajo, estos niveles corresponden a 1.8V y 0V, respectivamente. Una diferencia significativa radica en que los amplificadores operacionales operan en la región lineal de sus características de transferencia, mientras que los comparadores trabajan en la región de saturación.

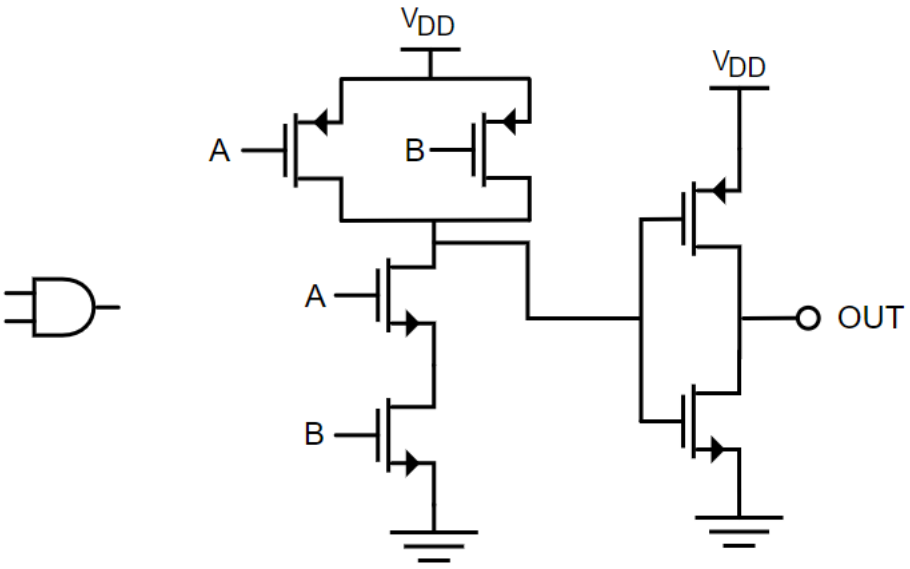


Figura 3.8: Puerta AND

En resumen, los comparadores tienen una entrada inversora que recibe una tensión de referencia utilizada para la comparación, y una entrada no inversora que recibe la señal a ser comparada con la de la entrada inversora. Cuando la señal en la entrada no inversora es mayor que la de la entrada inversora, la salida del comparador adoptará el valor lógico "1", que en el diseño realizado corresponde a 1.8V. Por otro lado, si la señal en la entrada no inversora es menor que la de la entrada inversora, la salida tomará el valor lógico "0", que en este caso es 0V. Se puede observar un ejemplo en la figura 3.9.

Los comparadores son componentes muy apropiados para su uso en ADCs (Convertidores Analógico-Digitales), ya que permiten convertir señales analógicas en señales digitales. La capacidad del comparador para determinar si una señal es mayor o menor que una referencia hace que sea fundamental en la etapa de decisión de muchos sistemas de conversión analógico-digital.

Dependiendo de su diseño, los comparadores se pueden dividir en dos categorías principales: de lazo abierto y regenerativos [42]. Los comparadores de lazo abierto se utilizan sin compensación y a menudo se implementan mediante amplificadores operacionales. En este tipo de configuración básica, se aprovecha la alta ganancia del amplificador operacional para generar una operación de comparación entre dos niveles de saturación, junto con otras etapas adicionales.

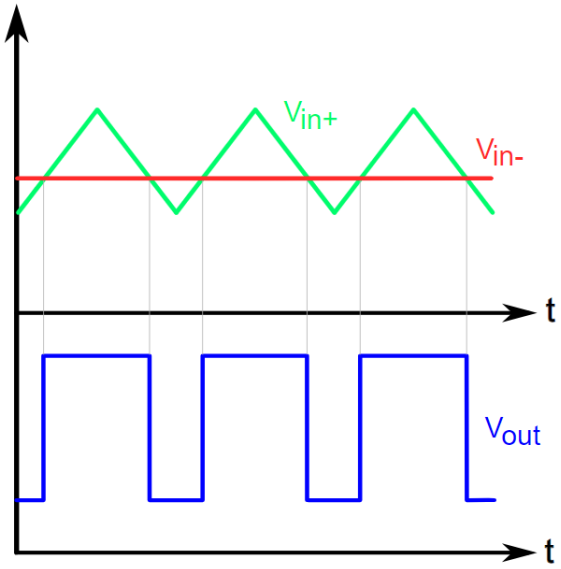


Figura 3.9: Ejemplo de funcionamiento de un comparador

Por otro lado, los comparadores regenerativos emplean retroalimentación positiva para lograr una operación más rápida y propensa a la inestabilidad, con histéresis intrínseca. Este tipo de comparadores se han utilizado ampliamente para implementar biestables y ofrecen ciertas ventajas en términos de velocidad y comportamiento dinámico [43].

En la figura 3.10, se presenta la curva DC de un comparador, donde se evidencian dos efectos no ideales, la ganancia estática finita para un punto de operación determinado y el voltaje de offset en la entrada.

La ganancia puede expresarse como indica la ecuación.

$$A_V = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}} \tag{3.9}$$

Donde V_{OH} y V_{OL} representan los valores máximo y mínimo que puede alcanzar la salida del comparador, correspondientes a los niveles lógicos “1” y “0”, respectivamente. Por otro lado, V_{IH} y V_{IL} indican los valores máximo y mínimo de la

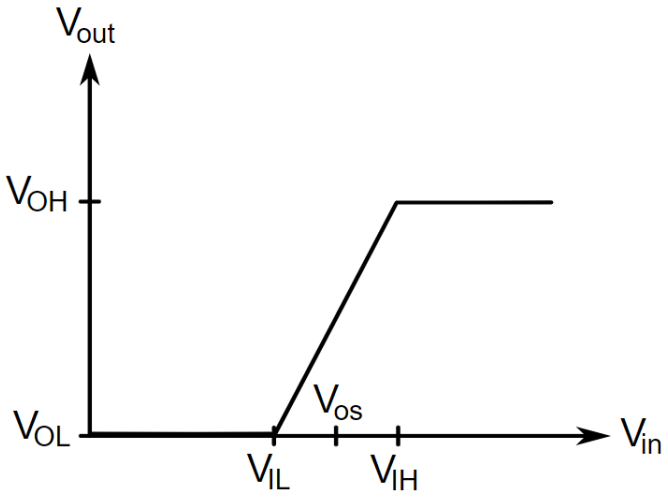


Figura 3.10: Característica DC del comparador

resolución estática del comparador. Estos valores pueden calcularse de la siguiente manera.

$$V_{IH} = V_{OS} + \frac{V_{OH} + V_{OL}}{2A_V} \tag{3.10}$$

$$V_{IL} = V_{OS} - \frac{V_{OH} + V_{OL}}{2A_V} \tag{3.11}$$

En este diseño, se ha decidido utilizar un comparador de dos etapas en configuración de lazo abierto, como se ilustra en la figura 3.11. Esta topología se fundamenta en un amplificador operacional Miller de dos etapas sin compensación, empleando un par de entrada NMOS. Considerando que es crucial minimizar el consumo de corriente, polarizando el circuito para que todos los transistores operen en la región de inversión débil. Estas decisiones de diseño son coherentes con el objetivo de disminuir el número de transistores en el píxel.

3.8.1. Par diferencial con carga activa

El par diferencial emplea un espejo de corriente como carga activa, implementando un amplificador operacional transconductancia (OTA) de 5 transistores que

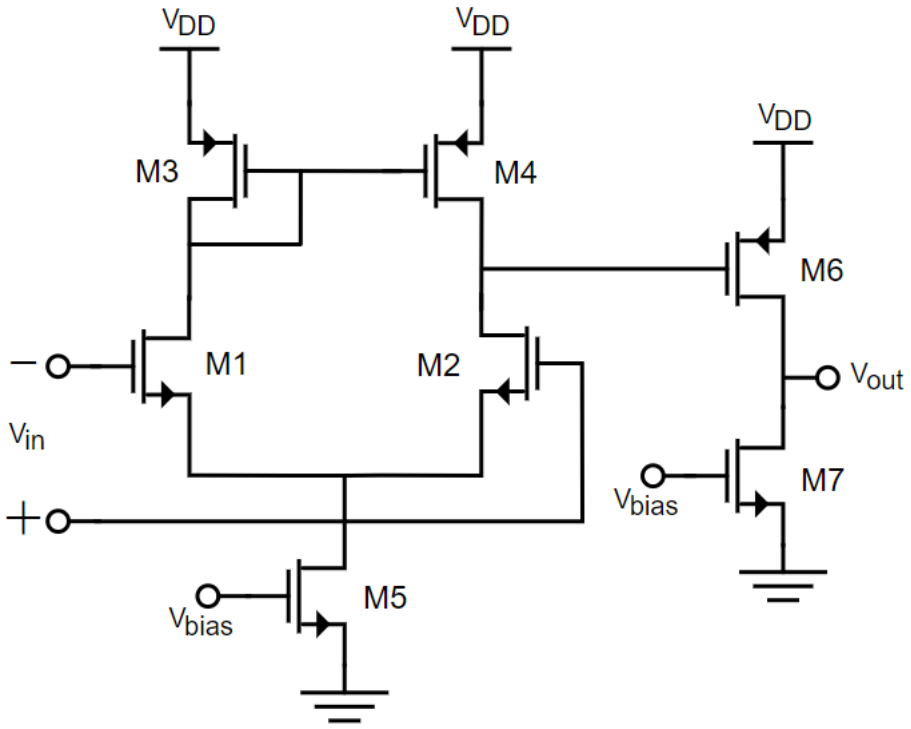


Figura 3.11: Comparador de dos etapas

	W(μm)	L(μm)
M1	0.67	1.1
M2	0.67	1.1
M3	1.34	2.2
M4	1.34	2.2
M5	0.37	0.48
M6	0.3	0.6
M7	0.37	0.48

Tabla 3.7: Dimensiones de los transistores del comparador

actúa como la etapa de ganancia de salida. Una particularidad de este diseño es que el espejo de corriente no se utiliza para polarizar el circuito, sino que se encarga de procesar las señales provenientes del par diferencial. Además, la etapa no es simétrica, ya que M3 está configurado como un diodo mientras que M4 no lo está, lo que influye en las propiedades del circuito. Esta topología también incluye dos caminos de señal, cada uno con funciones de transferencia distintas.

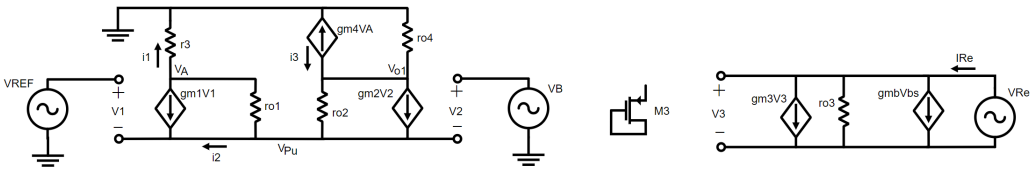
Estas dos dinámicas determinan el voltaje de salida simultáneamente: una disminución en V_{in}^{+} provoca que M2 conduzca menos corriente, lo que incrementa el voltaje de salida (considerando a M2 y M4 como un amplificador de fuente común NMOS), y, por otro lado, un aumento en V_{in}^{-} incrementa la corriente a través de M1, que se replica en M4 y, de este modo, eleva el voltaje de salida (considerando a M4 y M2 como un amplificador de fuente común PMOS). Por lo tanto, ambas señales conducen a que el voltaje de salida aumente o disminuya. Dado que todos los transistores deben estar perfectamente apareados, la corriente continua que fluye a través de todos los transistores es la misma y equivale a la mitad de la corriente de polarización.

Las dos señales se refuerzan mutuamente en la salida del comparador (V_{out}). Sin embargo, tienen efectos opuestos en la corriente que fluye a través de M2. Estas influencias se neutralizan cuando la entrada diferencial V_{in} se vuelve negativa, lo que provoca que V_{out} aumente lo suficiente para que $V_{SD,M4} < V_{SG} - V_{TH}$. En este punto, M4 deja de estar en saturación y la corriente que circula por M4 ya no es la misma que la que circula por M3. Por un breve periodo, la corriente de M2 está determinada por la diferencia de potencial entre la salida y la tensión que cae en el drenador de M5 (nodo V_B en la figura 3.11), es decir, $(V_{out} - V_B)$. Dado que la caída de voltaje en la carga PMOS es cercana a cero, V_{out} se iguala a V_{DD}. En este caso, M2 y M4 entran en estado de corte.

Con esta configuración, el límite inferior del voltaje de salida (cuando $V_{in}^{+} > V_{in}^{-}$) está limitado por el voltaje del drenador de M5 (principalmente determinado por la fuente de corriente M5 y el voltaje de entrada de modo común), porque $V_{DS,M2} = 0$ y V_{out} no puede ser menor. Además, cuando V_{out} es un "1" lógico ($V_{in}^{+} < V_{in}^{-}$), el voltaje del drenador de M5 corta en M2 porque $V_{GS,M2} < 0$. La segunda etapa ampliará el rango de salida.

También es interesante estudiar el modelo en pequeña señal del circuito, ya que algunos de sus parámetros explican como el comparador amplifica cuando opera en región lineal. En la parte de la izquierda de la figura 3.12 puede verse dicho modelo y en la parte de la izquierda, el PMOS conectado como diodo, cuyo comportamiento es el de una resistencia como el que se muestra en la ecuación 3.12.

$$\begin{aligned} &(g_{m3} + g_{mb3})v_{Re} + \frac{v_{Re}}{r_{o3}} = i_{Re} \rightarrow \frac{v_{Re}}{i_{Re}} = r_3' = \\ &= \frac{1}{g_{m3} + g_{mb3} + r_{o3}^{-1}} = \frac{1}{g_{m3} + g_{mb3}} \parallel r_{o3} \rightarrow r_3' \approx \frac{1}{g_{m3}} \end{aligned} \tag{3.12}$$



(a) Circuito en pequeña señal de la primera etapa del comparador

(b) Circuito en pequeña señal de un PMOS conectado como diodo

Figura 3.12: Par diferencial con carga activa

Cuando se aplican pequeñas entradas diferenciales, los cambios en V_{out} y la tensión que cae en las puertas de M3 y M4 (V_A en la figura 3.11) son notablemente diferentes. Esto se debe a que M3, al estar conectado como diodo, produce una ganancia de voltaje mucho menor desde la entrada hasta la salida que desde la entrada hasta las puertas de M3 y M4. Como resultado, los efectos de V_{out} y V_A en V_B (a través de r_{o1} y r_{o2}, respectivamente) no se cancelan entre sí, por lo que este nodo no puede considerarse una tierra virtual.

Para encontrar la ganancia de pequeña señal, se asume que, debido a que V_B no está conectado a tierra, las corrientes i_1, i_2 e i_3 son iguales.

$$i_1 = v_A g_{m3} = i_2 = i_3 \tag{3.13}$$

La ley de Kirchhoff de las corrientes indica que (V_{out}):

$$v_A g_{m3} + \frac{v_{o1}}{r_{o4}} + g_{m4} v_A = 0 \rightarrow v_A = -\frac{v_{o1}}{r_{o4}(g_{m4} + g_{m3})} \tag{3.14}$$

$$\frac{v_{o1} - v_B}{r_{o2}} + g_{m2} v_2 - v_A g_{m3} = 0 \tag{3.15}$$

La ley de Kirchhoff de las corrientes indica en V_A:

$$\frac{v_A - v_B}{r_{o2}} + g_{m1} v_1 + v_A g_{m3} = 0 \tag{3.16}$$

Teniendo en cuenta que los pares de transistores M1-M2 y M3-M4 están apareados con razones W/L iguales, y que los voltajes de entrada siguen (N y P indican si es NMOS o PMOS):

$$v_{REF} - v_1 = v_B - v_2 = v_{Bu} \tag{3.17}$$

$$\frac{v_A - v_{o1}}{r_{oN}} - g_{mN}(v_B - v_{REF}) + 2v_A g_{mP} = 0 \tag{3.18}$$

Sustituyendo v_A en la ecuación 3.18 con lo obtenido en la 3.14:

$$g_{mN}(v_B - v_{REF}) = -v_{o1}\left(\frac{1}{2r_{oP}r_{oN}g_{mP}} + \frac{1}{r_{oN}} + \frac{1}{r_{oP}}\right) \tag{3.19}$$

La ganancia de voltaje de pequeña señal a bajas frecuencias es aproximadamente:

$$A_{V1} = -g_{mN}(r_{oN} \parallel r_{oP}) = -\frac{g_{mN}}{g_{dsN} + g_{dsP}} \tag{3.20}$$

La segunda etapa invierte la salida. Dado que también se puede calcular la ganancia de voltaje como el producto entre la transconductancia en cortocircuito G_m y la resistencia de salida R_{out}, se obtiene:

$$G_m = g_{mN} \tag{3.21}$$

$$R_{o1} = (r_{oN} \parallel r_{oP}) \tag{3.22}$$

Hay dos polos de interés si se estudia la respuesta en frecuencia del circuito, uno en A, referido como el polo del espejo, con una capacitancia C_A:

$$C_A = C_{gd1} + C_{gd4} + C_{gs3} + C_{gs4} + C_{db3} + C_{db1} \tag{3.23}$$

Y otro C_{o1}:

$$C_{o1} = C_{gd2} + C_{gd4} + C_{db2} + C_{db4} + C_L \tag{3.24}$$

El polo del espejo típicamente tiene una magnitud mucho mayor que el polo de salida, una suposición que puede justificarse fácilmente considerando que la resistencia de pequeña señal en A es aproximadamente $1/g_{m3}$.

Las siguientes expresiones se obtienen de un análisis más detallado de la respuesta en frecuencia de un circuito como este [44].

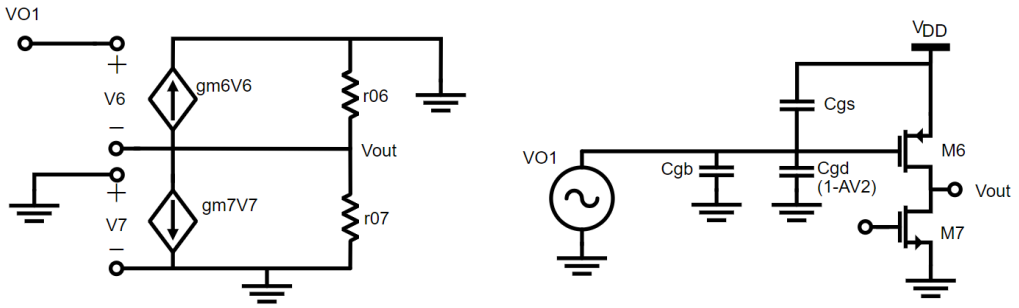
$$\omega_1 \approx \frac{1}{(r_{oN} \parallel r_{oP})C_{o1}} = \frac{g_{dsN} + g_{dsP}}{C_{o1}} \tag{3.25}$$

$$\omega_2 \approx \frac{g_{mP}}{C_A} \tag{3.26}$$

3.8.2. Amplificador de fuente común

Este amplificador de configuración común con PMOS transforma las variaciones en su V_{SG} en una corriente de drenador de pequeña señal, que atraviesa una carga NMOS para producir un voltaje de salida. De este modo, la carga NMOS funciona como una fuente de corriente, ofreciendo una trayectoria a tierra para la corriente de polarización que fluye a través del transistor PMOS, al tiempo que proporciona una alta impedancia de carga con una mínima caída de voltaje. Además, esta etapa presenta una alta impedancia de entrada.

El modelo de pequeña señal de la etapa se puede ver en la figura 3.13. La ley de Kirchhoff para la corriente en V_{out} produce:



(a) Circuito en pequeña señal del amplificador de fuente común

(b) Modelo de alta frecuencia con la aproximación de Miller

Figura 3.13: Amplificador de fuente común

$$g_{m6}V_{in} + \frac{V_{out}}{r_{o6}} + \frac{V_{out}}{r_{o7}} = 0 \rightarrow A_{V2} = -g_{m6}(r_{o6} \parallel r_{o7}) = -\frac{g_{m6}}{g_{ds6} + g_{ds7}} \tag{3.27}$$

Donde existe un polo en:

$$\omega_3 = \frac{g_{dsN} + g_{dsP}}{C_{out}} \tag{3.28}$$

Donde C_{out} es:

$$C_{out} = C_{gdN} + C_{gdP} + C_{bdN} + C_{bdP} + C_L \tag{3.29}$$

La figura 3.13 muestra el modelo de alta frecuencia de la etapa, con la aproximación de Miller para estudiar la capacitancia equivalente en su entrada. Las capacidades mostradas tienen una fuerte influencia en la ubicación del polo ω_1, que es el polo dominante del sistema.

3.8.3. Comportamiento

El retardo de propagación del comparador es el intervalo de tiempo que se requiere para que la salida cambie de estado una vez que la señal de entrada ha cruzado el umbral de comparación. En el diseño, este retardo está restringido por la velocidad

de cambio del comparador (slew rate) y se puede expresar mediante la siguiente fórmula:

$$\Delta t_{o1} = C_{o1}\frac{\Delta V_{o1}}{I_{bias}/2} \tag{3.30}$$

de la primera etapa, en la que Δt_{o1} se mide entre el valor estable y el punto de umbral, o punto de disparo, de la segunda etapa. Además, para la salida del segundo

$$\Delta t_{out} = C_{out}\frac{\Delta V_{out}}{I_{bias}} \tag{3.31}$$

El retardo de subida y bajada resultante es la suma de ambos. El diseño requiere un suministro de energía de bajo consumo, por lo tanto, la operación a 1.8 V y debilitada inversión. Se considera que todos los transistores están saturados en modo común. Se obtiene una expresión simple para la ganancia de baja frecuencia a partir de la ecuación 3.20 y 3.27.

$$A_V = \frac{g_{m2}}{g_{ds2} + g_{ds4}} \cdot \frac{g_{m6}}{g_{ds6} + g_{gds7}} \tag{3.32}$$

donde los subíndices se refieren a los transistores en cada etapa. El proceso de diseño comienza seleccionando corrientes de drenaje, coeficientes de inversión IC, y longitud de canal L para obtener compensaciones deseadas en el rendimiento [45]. Considerando la operación en inversión débil, obtenemos:

$$A_V = \frac{V_{A2}V_{A4}V_{A6}V_{A7}}{n^2U_T^2(V_{A2} + V_{A4})(V_{A6} + V_{A7})} \tag{3.33}$$

Las tensiones de Early V_A son una función de las longitudes de los transistores L y los coeficientes de inversión IC, por lo tanto, las únicas variables que se tienen como diseñadores para controlar la ganancia de baja frecuencia cuando los dispositivos están configurados para trabajar en inversión débil [42]. Los valores de V_A como

función de IC y L están en [45]. Para calcular la ubicación de los polos, se determina el valor de las capacitancias en C_{o1} y C_{out}. Siguiendo las expresiones

$$C_{o1} = C_{gd2} + C_{gd4} + C_{db2} + C_{db4} + C_{gd6} + C_{gs6} \tag{3.34}$$

$$C_{out} = C_{gd7} + C_{gd6} + C_{db7} + C_{db6} + C_L \tag{3.35}$$

Los valores para C_{gd} son proporcionales a $0{,}94fF/\mu m$ en NMOS y $0{,}64fF/\mu m$ en PMOS para un proceso de 180 nm, siguiendo los parámetros proporcionados en [45]. Además, C_{db} sigue

$$C_{db} = W\left(\frac{1}{2}W_{DIF}C_J C_J^{'} + C_{JSW}C_{JSW}^{'}\right) \tag{3.36}$$

donde $C_J^{'}$ y $C_{JSW}^{'}$ son factores de reducción para Vdb. En cualquier caso, considerando el efecto Miller para C_{gd6} y despreciando los parásitos limitados a unos pocos fF, se obtiene

$$C_{o1,eq} = C_{gd2} + C_{gd4} + C_{db2} + C_{db4} + C_{gs6} + C_{gd6}(1 - A_{V2}) \tag{3.37}$$

$$C_{out} \approx C_L \tag{3.38}$$

La influencia de ω_2 y ω_3 es despreciable porque están lejos del polo dominante.

3.8.4. Diseño

La corriente que tiene que soportar el circuito no superará 1nA, ya que los valores de fotocorriente típicos oscilan entre 100fA y 1nA. Este valor máximo indica que la frecuencia de oscilación será de 38,462kHz según la ecuación 3.1. Estos valores son elevados, y, por este motivo, se puede hacer el diseño del comparador tomando como valores de referencia una frecuencia de corte $f_{3dB} = 10kHz$ y una ganancia DC $A_V = 20dB$.

Por este motivo, las prestaciones del comparador son importantes para el comportamiento del circuito. Su ganancia, ancho de banda, offset y consumo de corriente determinarán el comportamiento del píxel.

3.8.4.1. Corriente de polarización

La corriente de polarización se debe determinar a partir de un tiempo de retardo de propagación seleccionado para una respuesta de una señal rampa. El retardo de propagación en ambos flancos se calcula por separado para las dos etapas. El umbral de entrada de la segunda etapa se aproxima según la ecuación 3.30 como la mitad del margen en V_{o1}, que está limitado por V_{DD} y V_B. Debido a que está ubicado en el punto medio, el flanco ascendente tiene el mismo valor que el flanco descendente.

$$\Delta t_{o1} = C_{o1}\frac{\Delta V_{o1}}{I_{bias}} \tag{3.39}$$

$$\Delta t_{out} = C_{out}\frac{\Delta V_{out}}{I_{bias}} \tag{3.40}$$

El retardo total será la suma de ambos. Una primera aproximación al valor de las capacitancias parásitas produce

$$C_{o1} \approx 2fF \tag{3.41}$$

$$C_{out} \approx C_L \approx 15fF \tag{3.42}$$

Usando la ecuación 3.1 con una corriente máxima de 1 nA, $C_{ph} = 20fF$, $V_{DD} = 1{,}8V$ y $V_{REF} = 0{,}5V$, se obtiene una frecuencia máxima de pico de 38,462kHz kHz, es decir, un período de $26\mu s$. Se desea mantener el retardo de propagación en torno al 5 % de este valor, $\Delta t_{out} \approx 1{,}3\mu s$.

A partir de las ecuaciones 3.39-3.42, y aproximando $V_B \approx V_{REF} - V_{thN}$, se obtiene

$$I_{bias} \approx 23nA \tag{3.43}$$

3.8.4.2. Fuentes de corriente

Dimensionando las fuentes de corriente a partir de la corriente de polarización y la operación en la región de inversión débil. Según el procedimiento descrito en [45], utilizando la corriente de drenador, el índice IC, y la longitud del canal como las tres variables de diseño independientes. Ya se ha estimado el valor de la corriente de polarización del comparador, lo que permite calcular las dimensiones de M5 y M7.

El valor de IC para la operación en la región de inversión débil es 0.1 [45]. Por lo tanto, considerando que la corriente $I_0 = 0{,}29\mu A$ para nuestro proceso de $0{,}18\mu m$, obtenemos

$$\frac{W_{5,7}}{L_{5,7}} = \frac{I_D}{I_0 \cdot IC} = \frac{23nA}{0{,}29\mu A \cdot 0{,}1} = 0{,}78 \tag{3.44}$$

Existe un compromiso importante en la selección de la longitud del canal (L), que afecta a la ganancia, el ancho de banda, el tamaño y la dependencia de la corriente de drenador (I_D) respecto al voltaje de drenador-fuente (V_{DS}). El objetivo es maximizar tanto la ganancia como el ancho de banda, mientras mantenemos el tamaño y la dependencia de ID lo más bajos posible.

La dependencia de ID está determinada por el voltaje Early (VA). Suponiendo que V_{DS} será aproximadamente 0.5V, se pueden utilizar los valores de [45]. Con un VA igual a 10, se obtiene un valor de $L_{5,7} = 0{,}48\mu m$, y por lo tanto

$$W_{5,7} = 0{,}37\mu m \tag{3.45}$$

3.8.4.3. Amplificador de fuente común

Esta etapa funciona como un inversor, el voltaje de disparo se puede ajustar variando el ancho de sus transistores. Al reducir proporcionalmente el ancho del NMOS, el punto medio se desplaza hacia abajo en su característica de voltaje de transferencia [46]. Por lo tanto, M6 tiene un ancho ligeramente menor que M7.

$$W_6 = 0{,}30\mu m \tag{3.46}$$

Mientras se quiere aumentar la proporción de M6 para mejorar la ganancia de la etapa, como se expresa en la ecuación 3.27, también se debe ser consciente del offset y su impacto en la proporción de M6.

3.8.4.4. Espejo de corriente PMOS

Para asegurar que no haya offset a la entrada presente en el comparador, ciertas condiciones deben cumplirse [47]. Cuando el voltaje diferencial de entrada es nulo, la salida de la primera etapa Vo1 debe garantizar que V_{SG6} haga que I6 sea igual a I7.

$$V_{SG,6} = ln\left(\frac{I_{D7}}{I_0 W_6/L_6}\right) n \cdot U_T + V_T \tag{3.47}$$

Está claro que $V_{SG6} = V_{SD4}$. Sin la presencia de offset, la primera etapa debería estar equilibrada cuando la diferencia de entrada es nula, por lo que $V_{SD4} = V_{SD3}$, y así $V_{SD3} = V_{SG3} = V_{SG4}$. Se puede expresar este último voltaje como

$$V_{SG,4} = ln\left(\frac{I_{D5}/2}{I_0 W_4/L_4}\right) n \cdot U_T + V_T \tag{3.48}$$

Considerando estas ecuaciones y los resultados de la sección 3.8.4.2, se obtiene

$$\frac{I_{D5}/2}{I_0 W_4/L_4} = \frac{I_{D7}}{I_0 W_6/L_6} \rightarrow \frac{W_6/L_6}{2} = \frac{W_4}{L_4} \rightarrow \frac{W_6}{L_6} = 2 \cdot \frac{W_4}{L_4} \tag{3.49}$$

Este análisis simple garantiza voltajes de offset del orden de unos pocos mV. Además, el offset está condicionado por el apareamiento entre transistores, lo que es inversamente proporcional a $\sqrt{WL}$.

3.8.4.5. Tamaño de todos los transistores

El objetivo es mantener el tamaño de los transistores lo más bajo posible, sin ocupar demasiada área. Con la ayuda de CADENCE, se diseña el comparador con una especificación de offset de entrada utilizando las relaciones numéricas que se han considerado hasta ahora.

Realizamos un análisis DC, que encuentra el punto de polarización de todos los dispositivos. Al conectar el comparador en una configuración de buffer (con retroalimentación negativa y una señal de entrada de modo común), se obtiene en la salida el valor del offset referido a la entrada. Matemáticamente, esto se justifica por

$$\begin{aligned} V_{out} &= A_0(V^+ - V^-) = A_0(V_{CM} + V_{OS} - V_{out}) \rightarrow \\ \rightarrow V_{out} &= \frac{A_0}{1 + A_0}(V_{CM} + V_{OS}) \approx V_{CM} + V_{OS} \end{aligned} \tag{3.50}$$

La señal de entrada de modo común será la referencia de voltaje de comparación V_{REF}. Las fuentes de offset son el offset sistemático, como se expresa en la ecuación 3.49, y la discrepancia entre los transistores. Para estudiar su influencia, se configura una simulación de Monte Carlo, un método simple de análisis de variabilidad útil para simular los resultados aleatorios del proceso de fabricación. Después de un análisis de Monte Carlo, la variable se representa en un histograma y su desviación estándar σ.

Se diseña el comparador para alcanzar un valor de σ de alrededor de 23,57 mV en $I_{bias} = 23nA$. Además, es necesario minimizar la capacidad de entrada del par diferencial, ya que este parásito se sumará a C_{ph}. Los resultados se pueden ver en la figura 3.14. Las dimensiones de los transistores se muestran en la tabla 3.7. La capacidad de puerta resultante de M3 y M4 es de 3.92 fF.

El voltaje de desviación de entrada es una característica del comparador en una configuración de lazo abierto, originada por las diferencias entre los transistores. El offset del comparador es una métrica esencial en el diseño de sensores de imagen, ya que está relacionado con el Ruido de Patrón Fijo (FPN, por sus siglas en inglés). Si los píxeles adyacentes tienen voltajes de transición ligeramente diferentes, codificarán la misma iluminación con valores de frecuencia distintos, lo que deteriora la

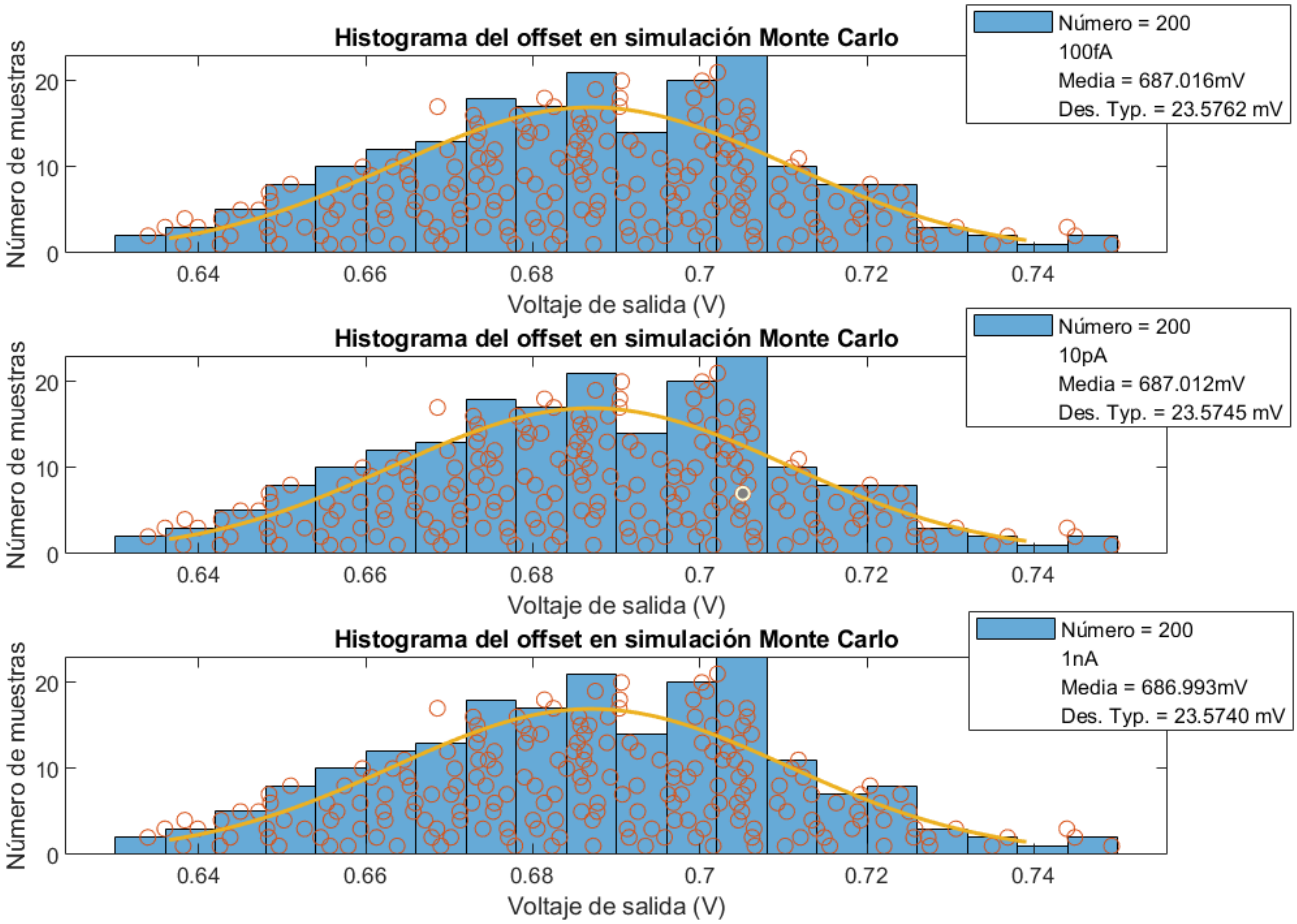


Figura 3.14: Histograma de offset a 700mV

calidad de la imagen. Por lo tanto, es una práctica común limitar el offset al 5 % del valor de comparación.

3.8.4.6. Ganancia en lazo abierto, ancho de banda y punto de operación

Para verificar la ganancia de lazo abierto, el ancho de banda y el punto de transición, se pueden medir las características de pequeña señal del comparador en lazo abierto en una simulación con un banco de pruebas simple, en el que conectamos un retroceso RC de alto valor a la entrada negativa. El diagrama de Bode se representa en la figura 3.15. Utilizando el análisis hecho en la sección anterior, se puede verificar los resultados y comprobar si los valores de la simulación están de acuerdo con las expresiones teóricas. Para encontrar la ubicación del polo y la ganancia, primero se realiza el siguiente cálculo.

$$g_{m6} = \frac{I_{bias}}{n \cdot U_T} = 1{,}31\mu A/V$$

$$r_{o6} = \frac{V_{A6}}{I_{bias}} = 284{,}1M\Omega$$

$$r_{o7} = \frac{V_{A7}}{I_{bias}} = 54{,}28M\Omega$$

$$C_{gd2} = 0{,}29 \cdot 0{,}67 = 0{,}19fF$$

$$C_{gd4} = 0{,}94 \cdot 1{,}34 = 1{,}26fF$$

$$C_{db2} = 0{,}67 \cdot \left(\frac{1{,}3 \cdot 0{,}96 \cdot C'_{JN}}{2} + 0{,}27 \cdot C'_{JSWN} \right) = 0{,}29fF$$

$$C_{db4} = 1{,}34 \cdot \left(\frac{1{,}3 \cdot 1{,}2 \cdot C'_{JP}}{2} + 0{,}24 \cdot C'_{JSWP} \right) = 0{,}57fF$$

$$C_{gs6} = 0{,}94 \cdot 0{,}3 = 0{,}28fF$$

$$C_{miller6} = C_{gd6}(1 - A_{V2th}) = 0{,}94 \cdot 0{,}3(1 + g_{m6}(r_{o6} \parallel r_{o7})) = 16{,}69fF$$

$$C_{O1,eq} = 19{,}52fF$$

y conseguimos

$$\omega_1 = 42{,}423kHz \tag{3.51}$$

$$A_V = 21{,}31dB \tag{3.52}$$

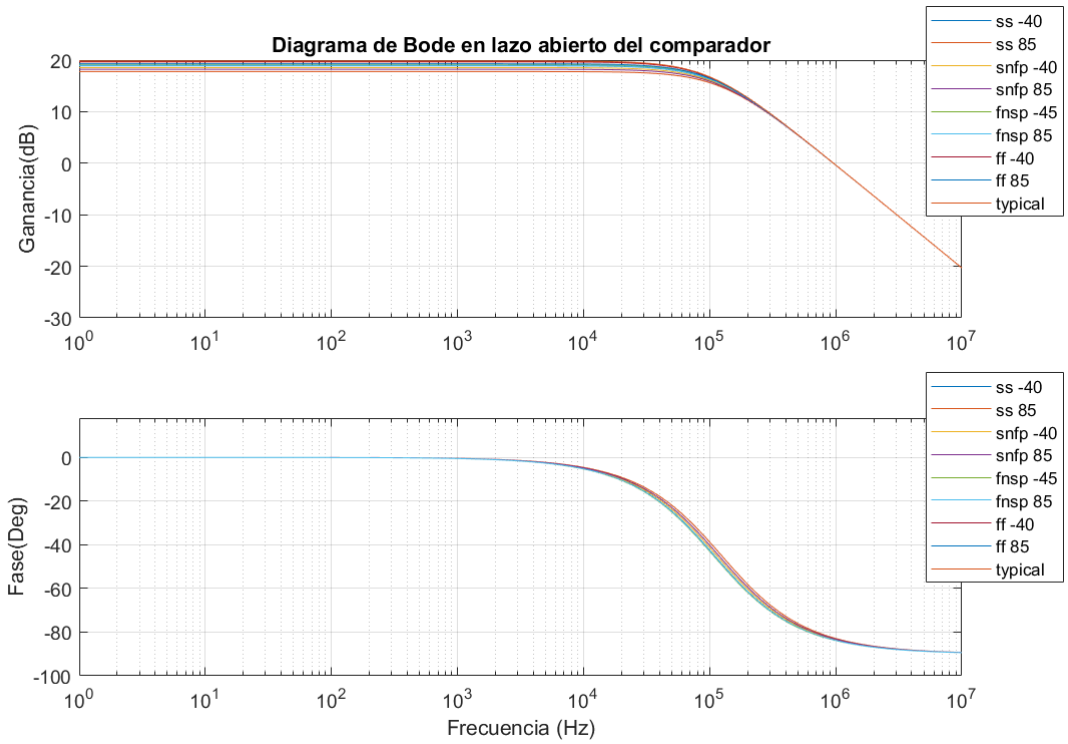


Figura 3.15: Diagrama de Bode del comparador en lazo abierto

Varios parámetros se han tomado de [45], que probablemente no son los mismos que los de la tecnología del diseño (UMC180). Esta razón justifica las pequeñas diferencias entre los resultados en la figura 3.15 y los teóricos.

Se define el análisis de esquinas a -40ºC y 85ºC para los modelos de transistores rápidos-rápidos (FF), lentos-lentos (SS), rápidos-lentos (FS) y lentos-rápidos (SF).

3.8.4.7. Variaciones en la frecuencia de pulso

El propósito principal de los sensores de imagen es codificar un valor de fotocorriente en una frecuencia de pulsos de voltaje, siguiendo la ecuación 3.1. Sin embargo, existe una discrepancia que hace que la misma fotocorriente se transforme en un rango de frecuencias, lo que resulta en FPN. Matemáticamente, esto se justifica considerando que la discrepancia produce un offset referido a la entrada, agregando una contribución a V_{REF} y moviendo el punto de comparación, como se ve en las simulaciones a continuación. Aunque tratamos de minimizar el offset, su impacto es inevitable.

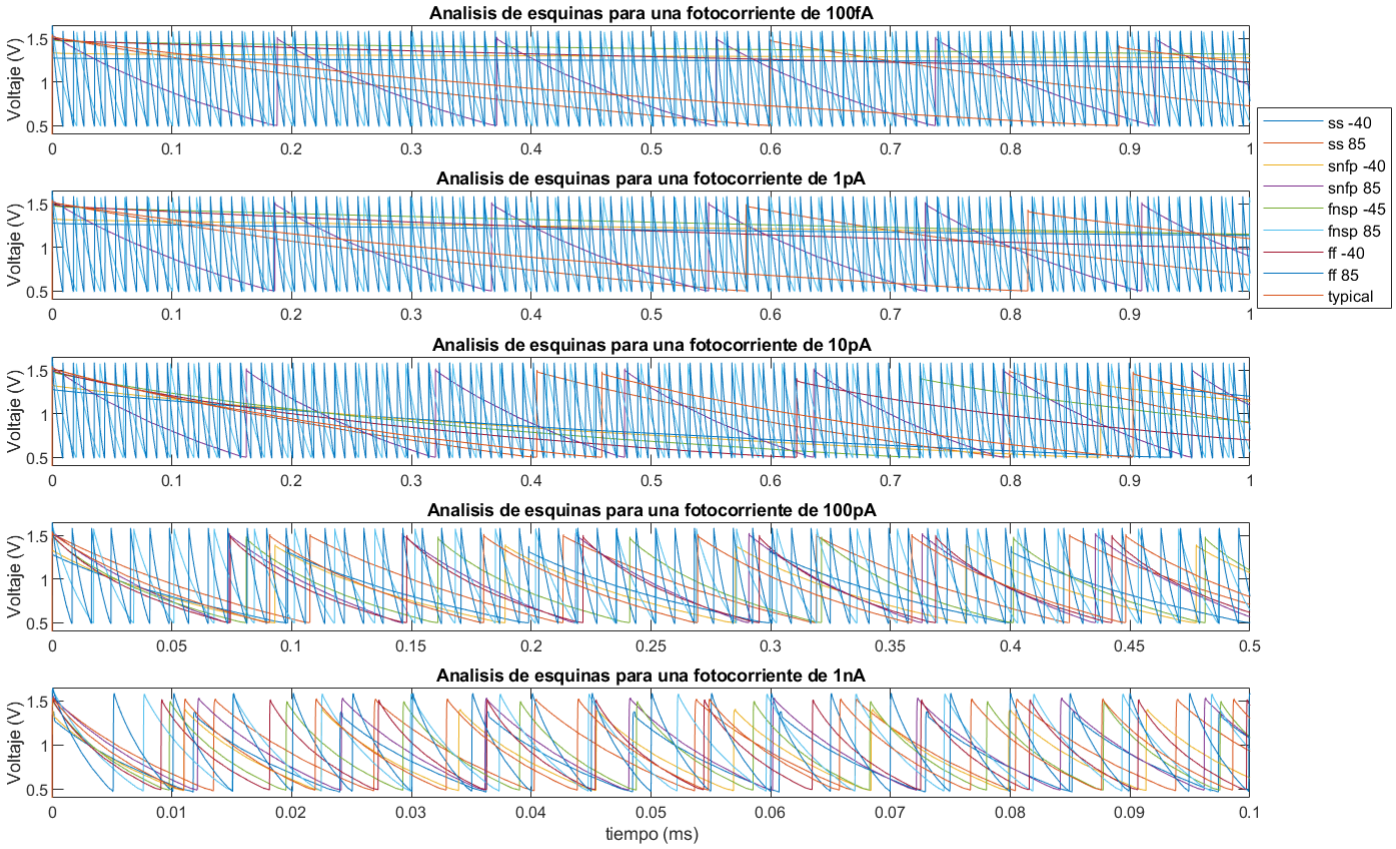


Figura 3.16: Caída de tensión en el condensador para una tensión de referencia de 500mV en el rango de fotocorrientes habitual

El comparador alcanza un tiempo de conmutación de $10ns$, como se ve en la figura 3.16. La dinámica del reset de retroalimentación es más rápida que la transición de la señal, por lo que no puede alcanzar el valor de V_{DD}. En cualquier caso, la señal es lo suficientemente fuerte como para transmitir el pulso a la siguiente etapa.

3.9. Protocolo de Comunicación

Como se ha mencionado en secciones anteriores, el arbitraje realizado para determinar las coordenadas de la imagen a analizar en el sensor de imagen se realiza con un arbitraje de filas y columnas. Recuérdese que los transistores M5 y M6 de la figura 3.1 realizan un reset global del sistema aparte del transistor M1 que también se encarga de resetear la parte analógica del circuito después de haberse hecho una lectura. El condensador C_{ph} para mantener unos microsegundos la caída de tensión en ese nodo, el comparador y un inversor. Y por otro lado, los receptores, que se encargan de enviar la señal de confirmación a los píxeles. El comportamiento de todas las señales implicadas en este proceso puede verse en las figuras 3.17 y 3.18.

En la figura 3.17 puede verse el comportamiento de la ventana, para el tiempo en el cual se almacena carga en el condensador C1 (MEM), o lo que es lo mismo, tiempo durante el cual se almacenan los eventos antes de ser descartados por la fuga de corriente.

En la figura 3.18 puede verse como el voltaje en en la capacidad de entrada C_{ph} disminuye hasta alcanzar el valor de comparación V_{REF}. La salida del comparador restablece la caída de tensión a V_{DD}. El pico en $t = 615\mu s$ se transmite si ocurre mientras WINDOW está alto. El pico genera el $_req_x$, que es respondido por los árbitros de fila con un ack_y y $reset_x$. Luego, $_req_y$ produce $reset_y$.

En la figura 3.19 puede observarse como varía la frecuencia de transmisión de pulsos y a su vez, la caída de tensión en C_{ph} en función de la corriente de entrada. Como se indica en la figura, a mayor corriente, mayor frecuencia de transmisión de pulsos y, a menor corriente, menor frecuencia de transmisión de pulsos. Estos resultados se corresponden a lo calculado teóricamente, haciendo referencia a la ecuación 3.1.

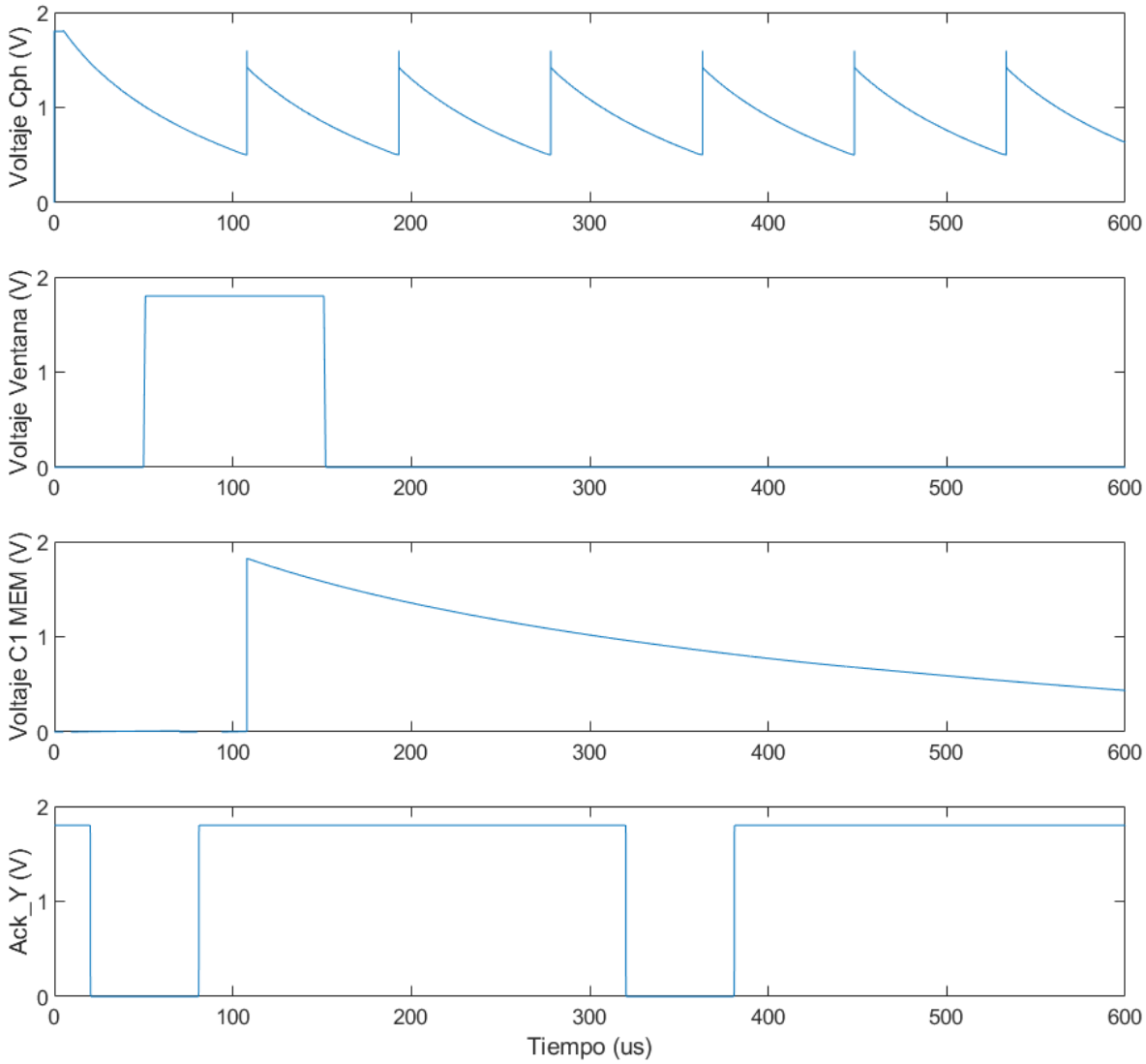


Figura 3.17: Respuesta temporal del sistema

3.10. Representación por Dirección de Eventos (AER)

Existe una última parte para completar el diseño de un sensor de imagen asíncrono, la Representación por Dirección de Eventos o AER en inglés (Address Event Representation). Este diseño puede observarse al detalle en el TFM de Sergio Palomeque [48], donde se realiza también el layout de este diseño el cual era el objetivo de dicho trabajo.

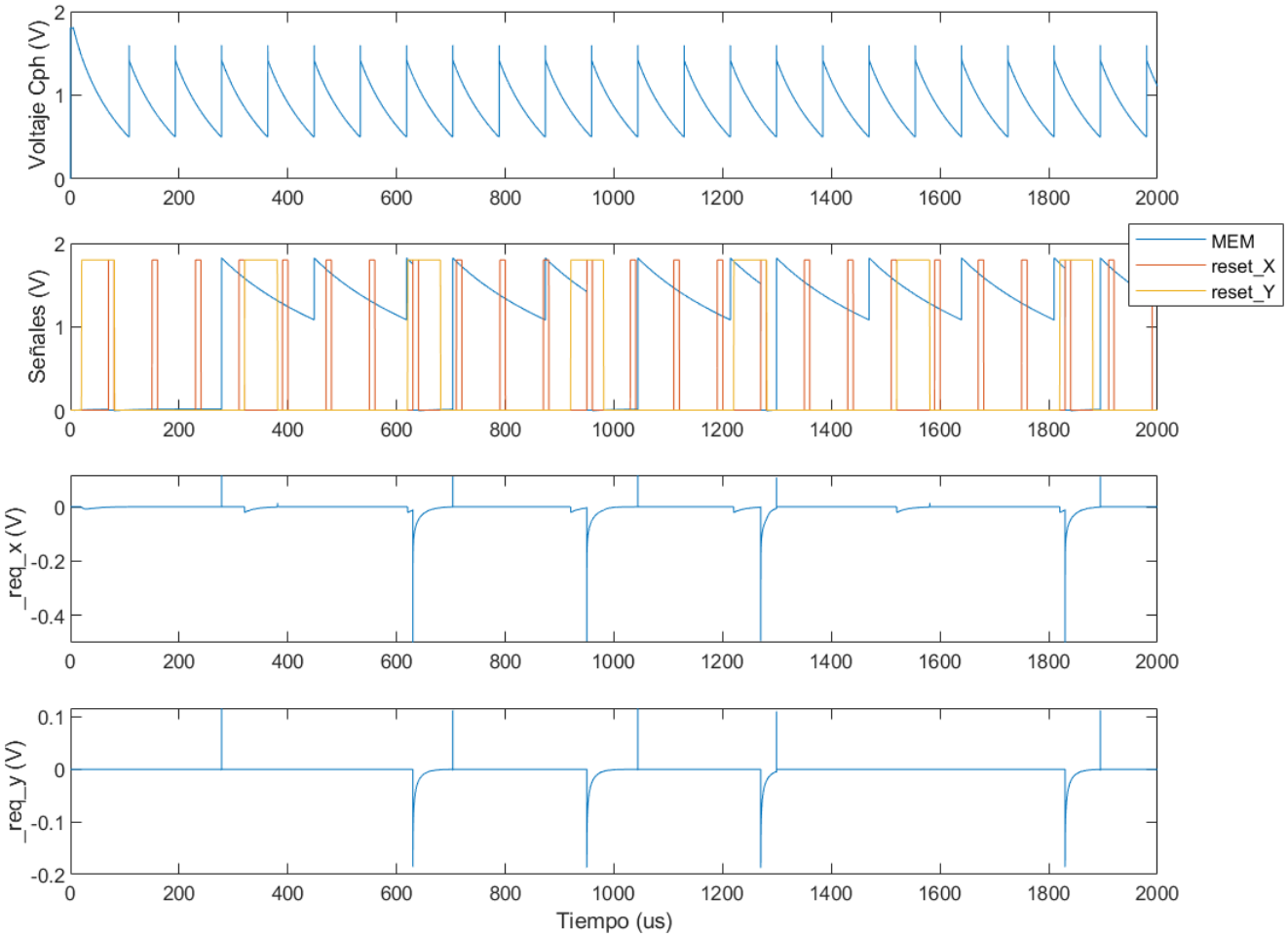


Figura 3.18: Respuesta temporal del sistema

En este trabajo simplemente se explicará el funcionamiento de esta última parte del diseño, su relación con las señales del circuito y sobre todo, la vista de un diseño con todas las partes implicadas en el sensor para tener una visión completa y así comprender su comportamiento.

Los sensores de imágenes basados en eventos se inspiran en los procesos computacionales de los sistemas biológicos, pero algunos de estos procesos no pueden ser traducidos al silicio de manera viable. Mientras que los cerebros humanos están compuestos por una red tridimensional de neuronas, axones y sinapsis, la tecnología CMOS es fundamentalmente bidimensional y no puede replicar un cableado tan complejo.

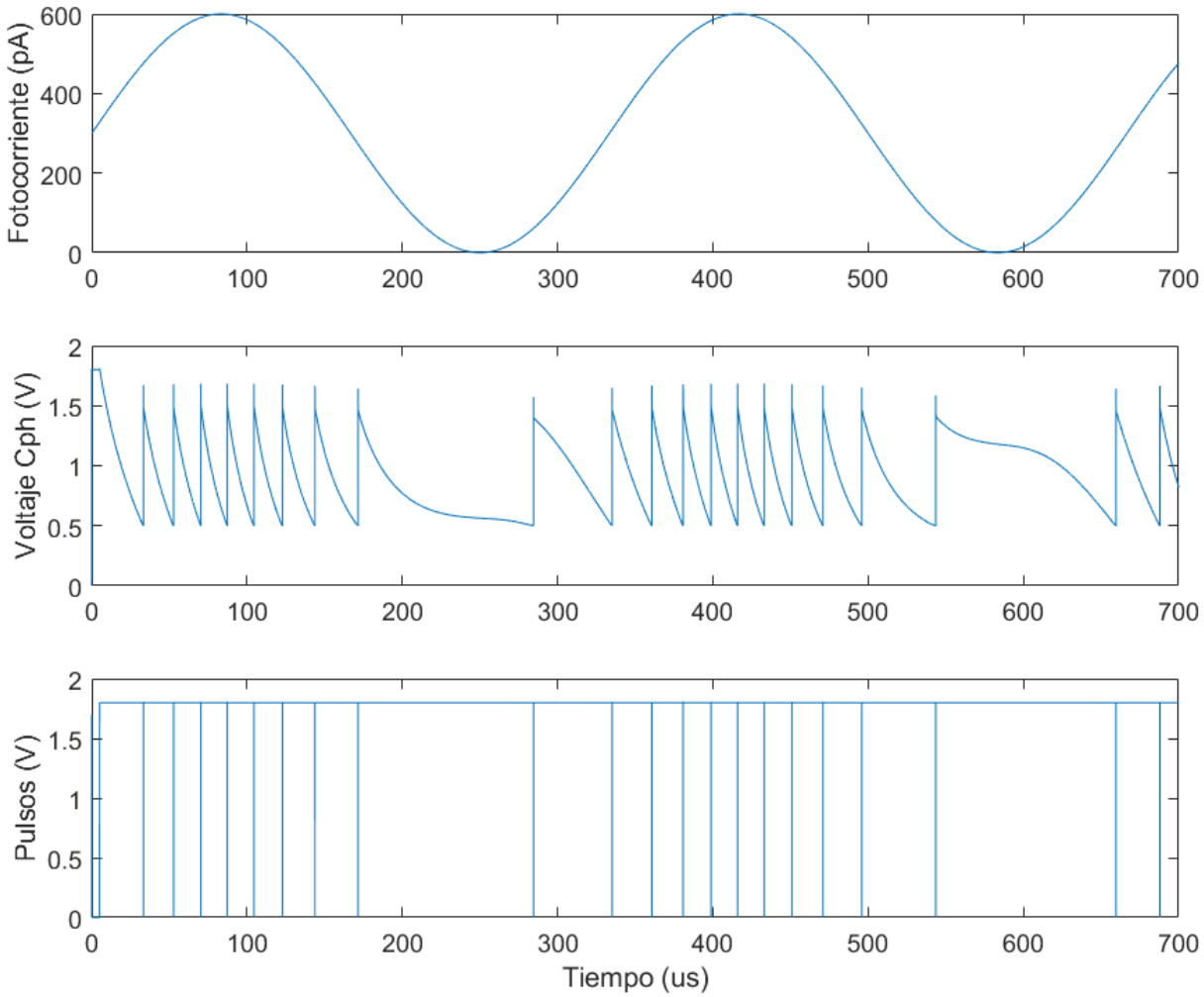


Figura 3.19: Variación de la frecuencia de los pulsos en función de una corriente de entrada senoidal

En una red neuronal, una sola neurona suele estar interconectada con miles de otros componentes, mientras que las puertas lógicas digitales estándar generalmente se conectan a solo unos pocos inputs. Esta disparidad física presenta una limitación para los sistemas de visión artificial, donde cada píxel necesitaría un cable dedicado para transmitir sus datos fuera del array. Sin embargo, los diseñadores superan esta limitación aprovechando la notable velocidad de los transistores. A diferencia de la actividad de disparo de una neurona, que dura milisegundos, el retraso de conmutación de un transistor es del orden de picosegundos. Aprovechando esta diferencia en las escalas de tiempo, la comunicación en los sistemas neuromórficos se implementa a menudo utilizando un método de comunicación conmutada por paquetes y

multiplexada en el tiempo llamado representación por dirección de eventos (AER).

Una red conmutada por paquetes opera multiplexando temporalmente segmentos individuales de la red, con paquetes que se comunican solicitando acceso a recursos compartidos de manera dinámica. Estos protocolos son adecuados para redes donde dos puntos finales intercambian ráfagas de pequeñas cantidades de información, como los picos en un sistema neuromórfico. La representación por dirección de eventos proporciona la funcionalidad de multiplexación y demultiplexación para los picos generados por o entregados a un grupo de neuronas. Cabe destacar que AER también se utiliza para crear redes de procesadores neuromórficos que pueden enviar y recibir picos, pero en el contexto de la captación de imágenes basada en eventos, no es necesario comunicar picos a los píxeles. En el proyecto, un procesador digital estándar actúa como receptor de AER, procesando los picos a medida que llegan. Prácticamente todos los sensores de visión bioinspirados con salida de picos reportados en la literatura utilizan el protocolo AER, o alguna versión modificada del mismo, para comunicar sus datos.

Dado que los pulsos se generan de manera asincrónica, los circuitos emisores de AER en un sensor basado en eventos deben aceptar los picos a medida que se generan, arbitrar entre los píxeles que disparan simultáneamente, codificar la dirección del primer píxel en disparar y multiplexar la dirección en el bus compartido. Además, se requiere una topología de enrutamiento dentro de la matriz de píxeles para transmitir los picos a los circuitos AER. Existen varios esquemas para cada uno de estos bloques, pero se centrará el estudio en los implementados en los sensores octopus descritos en la literatura [49].

El emisor AER está construido como una matriz 2D de elementos emisores de eventos de dirección, o píxeles. El evento de dirección está representado por la fila y la columna del píxel que dispara en un esquema de direccionamiento de palabra serie. La codificación y el arbitraje se realizan primero a nivel de fila y luego a nivel de columna. Cuando ambas dimensiones están finalizadas, las direcciones de fila y columna del píxel se transmiten a través de un bus digital compartido en una transmisión asincrónica de cuatro fases con datos agrupados, utilizando una señal de solicitud (REQ), una de reconocimiento (ACK) y los buses de datos necesarios para codificar su ubicación. Las direcciones transmiten su información de sincronización implícita del pico, estampada en el sensor mismo o en el receptor AER. Estos bloques se representan en la figura 3.20.

Los circuitos AER en ambas dimensiones son casi idénticos. La única diferencia es que el píxel no necesita recibir el ack de reconocimiento de la columna. La primera etapa en la lectura AER es un emisor con cuatro funciones: almacenar en búfer

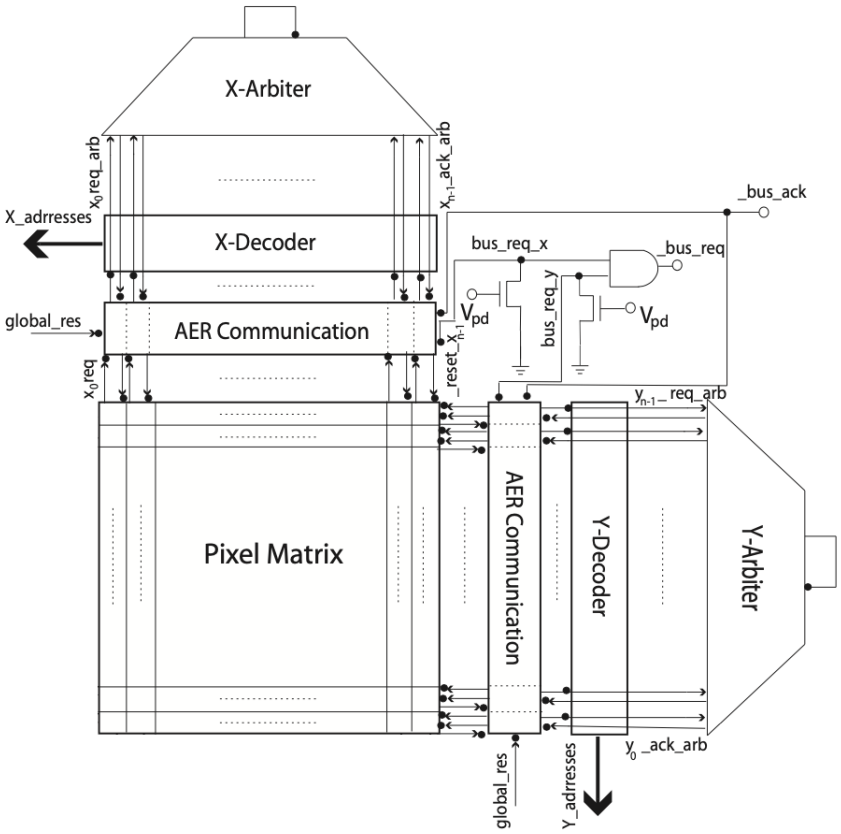


Figura 3.20: Esquema del sensor de imagen completo

las señales de solicitud y reconocimiento que provienen y van hacia la matriz de píxeles, implementar el transistor pull-up de la topología de enrutamiento de NOR por cable, y controlar la lógica para la multiplexación AER y el reinicio del píxel. Hay un emisor para cada array. En la dimensión, que es igual a la raíz cuadrada del número de filas o columnas, $\sqrt{L}$. La segunda etapa es una lógica de arbitraje en forma de árbol para resolver la saturación del bus, formada por un número de etapas igual a ln(L). La tercera etapa es el codificador, que se activa con la señal de reconocimiento. Cuando ambas dimensiones han sido arbitradas, el sensor envía una señal de solicitud con polaridad invertida al receptor AER, el cual responde con una señal de reconocimiento para informar al sensor que tiene acceso al bus de datos. Después de eso, se reinicia el potencial de acción del píxel que disparó.

El esquema que se describe es el estándar denominado AER 0.02, utilizado para comunicaciones de un solo emisor a un solo receptor; es decir, un enlace AER punto a punto, como el que puede verse en la figura 3.20, tomada de [50]. Existen otros esquemas para implementar la lectura AER, con modificaciones menores en el bloque de arbitraje utilizando arbitraje de anillo [51], o paradigmas radicalmente diferentes

para toda la secuencia de multiplexación, como la operación en modo ráfaga [52].

En la figura 3.21 puede verse el flujo de señales del sistema, tomado de referencia en [50].

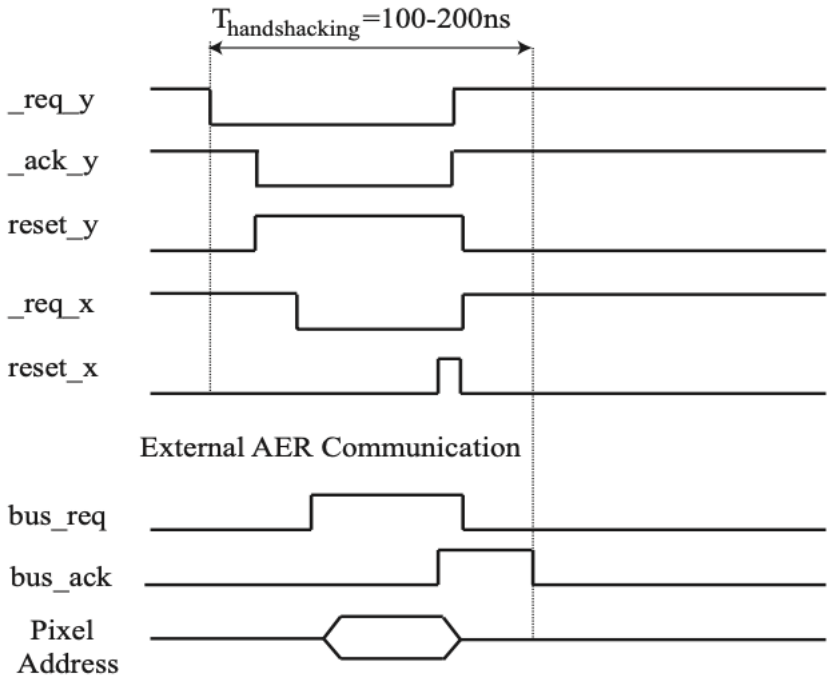


Figura 3.21: Flujo de señales del sistema

CAPÍTULO 4

Layout y comparativa con el estado del arte

4.1. Diseño del Layout

El proceso de diseño para un píxel del sensor de imagen comienza con la disposición y organización del circuito que habíamos diseñado previamente. El bloque más extenso del píxel es el comparador, formado por siete transistores, que debe estar ubicado cerca del área fotosensible. El área fotosensible está ubicada en la esquina izquierda inferior del píxel, ya que formaremos un grupo con cuatro píxeles idénticos. Esto permite un diseño más compacto, ya que las reglas de DRC se siguen fácilmente con esta distribución.

Se busca maximizar la unión PN que constituye el fotodiodo, lo cual se expresa mediante el fill factor 2.4. El proceso de diseño juega un papel crucial en garantizar que cada píxel cumpla su función prevista de manera precisa y confiable.

Se utilizan los metales M1 y M2 para enrutar los cables internos del píxel. Se usan anchos mínimos ($0{,}24\mu m$ *y* $0{,}28\mu m$) cuando el diseño nos obliga a ser más compactos, y rutas más anchas para caminos que deben minimizar la resistencia y no tienen otros caminos alrededor que aumentarían la capacitancia parasitaria debido a la diafonía. Los metales M3 y M4 se utilizan para aquellos caminos que cruzan toda la matriz y caminos para los cuales se tenga que cruzar obligatoriamente los metales M1 y M2. Estos deben colocarse con precaución, ya que estas señales son una fuente de ruido de diafonía digital que puede afectar el comportamiento de algunos componentes. En esas capas metálicas, los anchos de los cables son de $0{,}5\mu m$ *y* $0{,}6\mu m$, espaciados a una distancia suficiente para minimizar la diafonía.

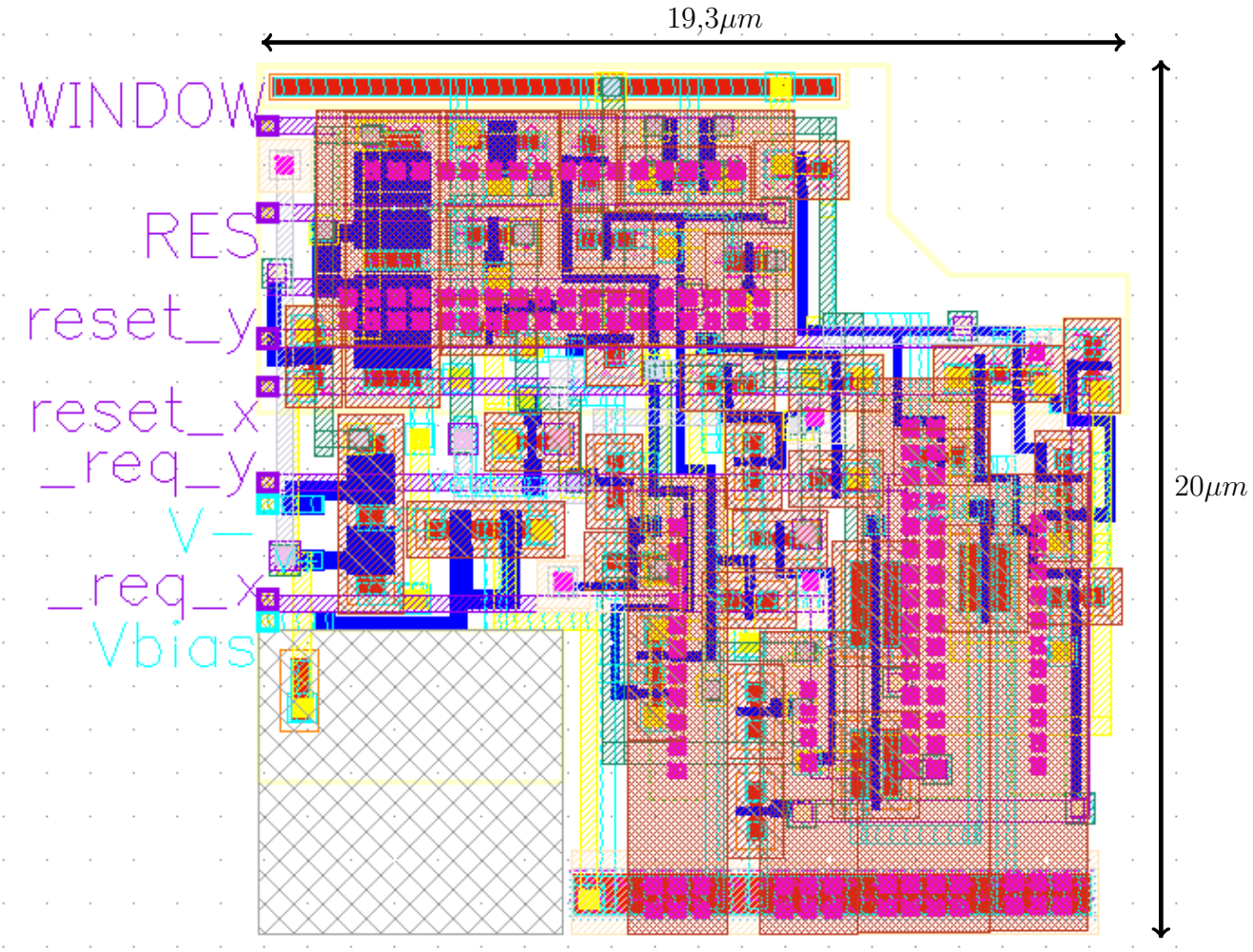


Figura 4.1: Píxel

A continuación, después de haber creado el layout de un solo píxel, se requiere crear un clúster de cuatro píxeles, ya que el fotodiodo que actúa en región fotovoltaica (PD2) para la recolección de energía solar y de esta maner alimentar el píxel se comparte entre estos cuatro píxeles, puede verse su layout en la figura 4.3. Nótese que antes de hacer el layout no se ha añadido esta parte a los esquemáticos del píxel ni a las simulaciones, el motivo está justificado debido a que esta última parte del diseño como se ha comentado, se comparte entre cuatro píxeles y se integra de una manera mucho más eficiente en el layout del píxel.

Este fotodiodo [53] se dispone de tal manera que el ánodo está conectado directamente a GND y el cátodo a un nodo global compartido que a su vez va conectado a una capacidad externa a la matriz de píxeles que actúa como batería.

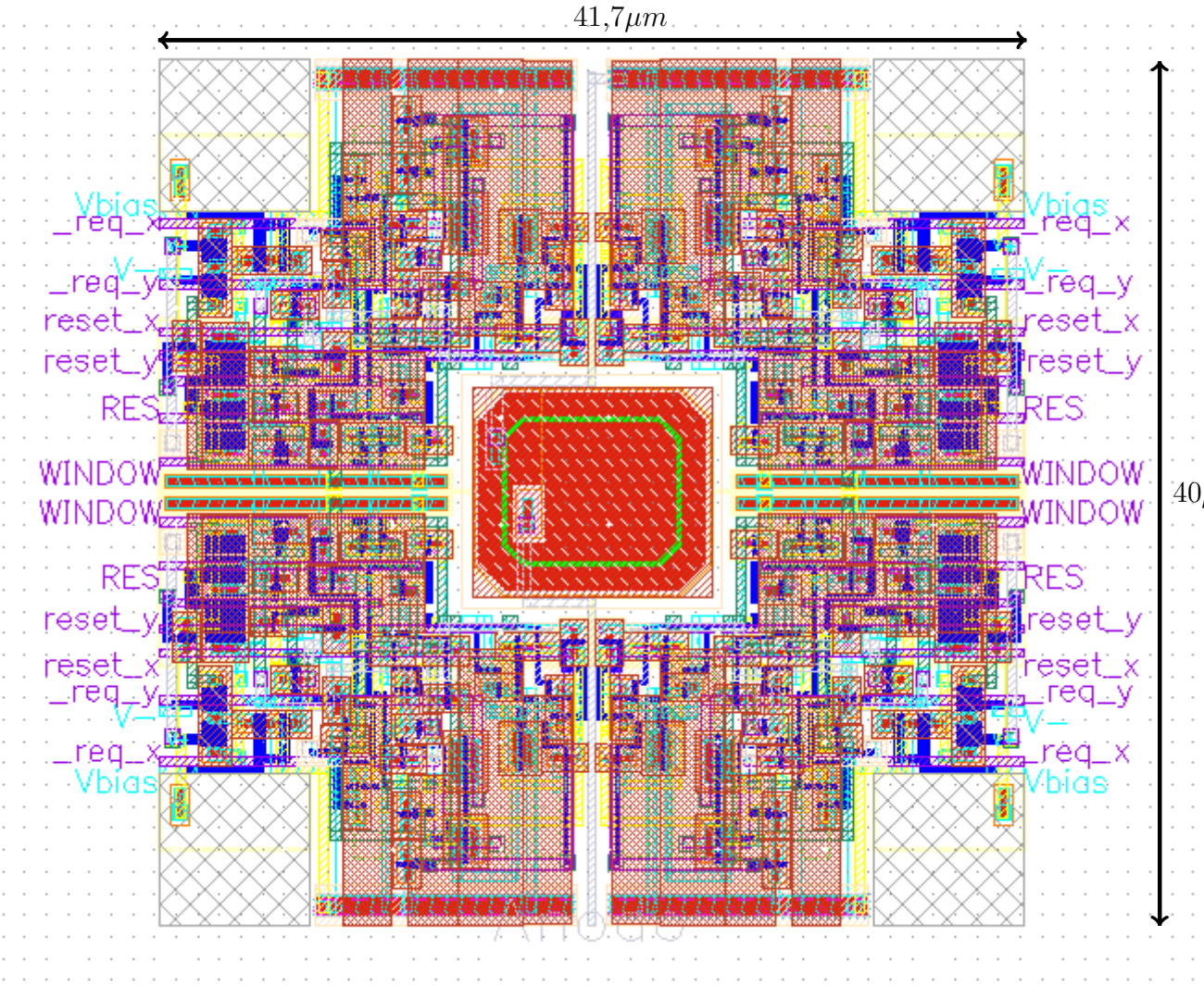


Figura 4.2: Clúster de cuatro píxeles para conseguir el diseño completo y el propósito dle proyecto

Por otro lado, el fotodiodo que actúa en región inversa (PD1) que incluye un fotodiodo por píxel, encargado de recibir los fotones de luz de la escena luminosa y así transmitir los pulsos de la parte analógica con menor o mayot frecuencia, se diseña en el layout utilizando directamente un sustrato tipo P, un pozo tipo N y una zona de difusión n++. Como se indica en la figura 4.4 y a su vez en la figura 4.5 en el diseño realizado en la tecnología UMC180. El ánodo (zona del sustrato P) está conectada directamente a tierra como se puede observar en la figura 4.1 (esquina inferior izquierda), mientras que el cátodo es la difusión tipo N, conectado directamente a la entrada no inversora del comparador.

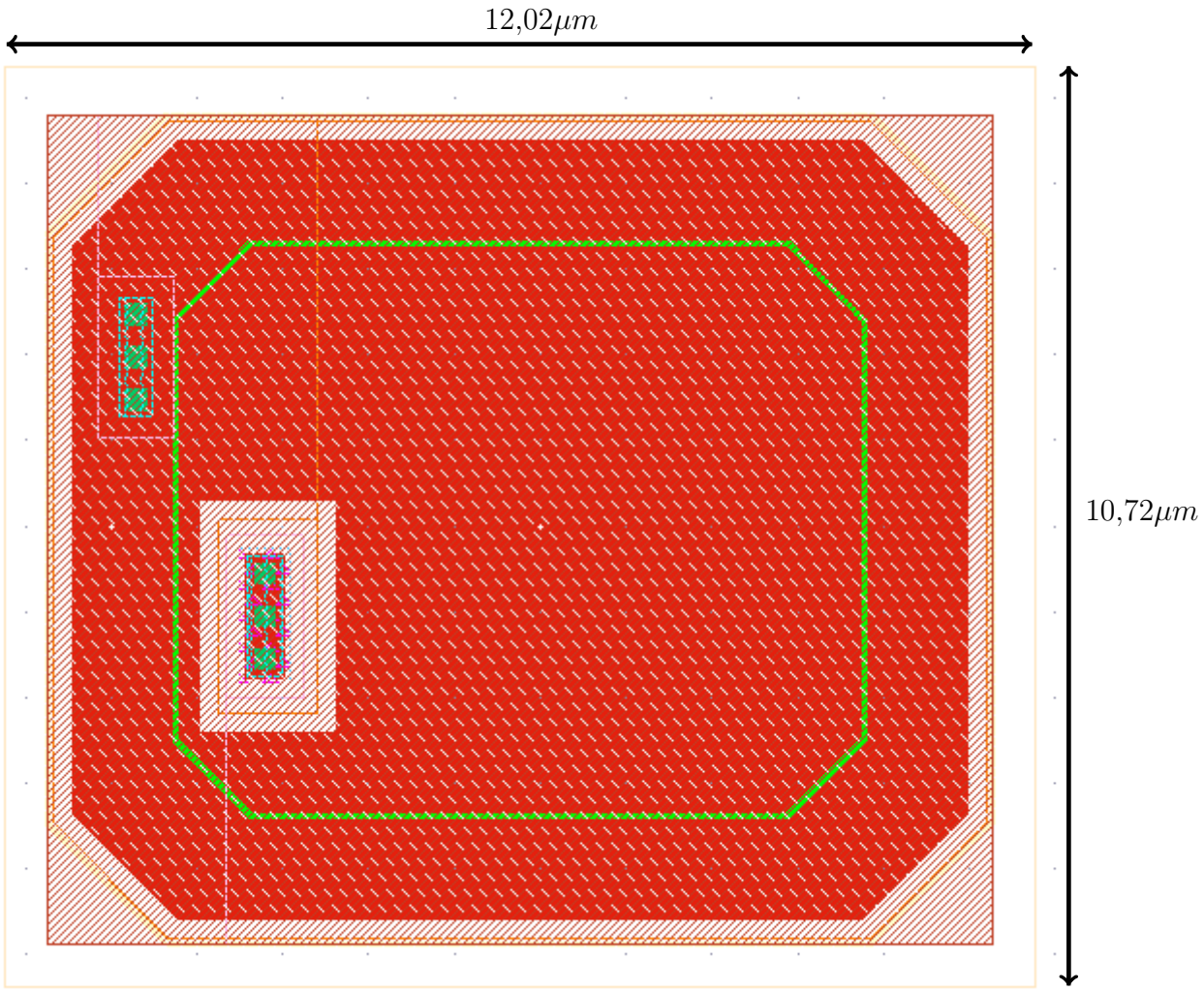


Figura 4.3: Fotodiodo en región fotovoltaica

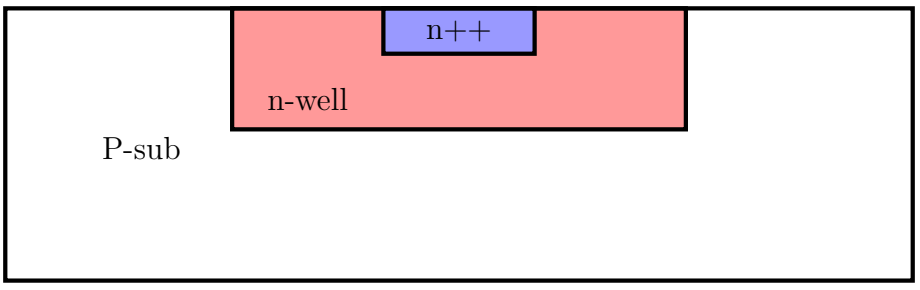


Figura 4.4: Fotodiodo en región inversa

Se diseña el pixel para poder medir la entrada y salida del comparador fuera

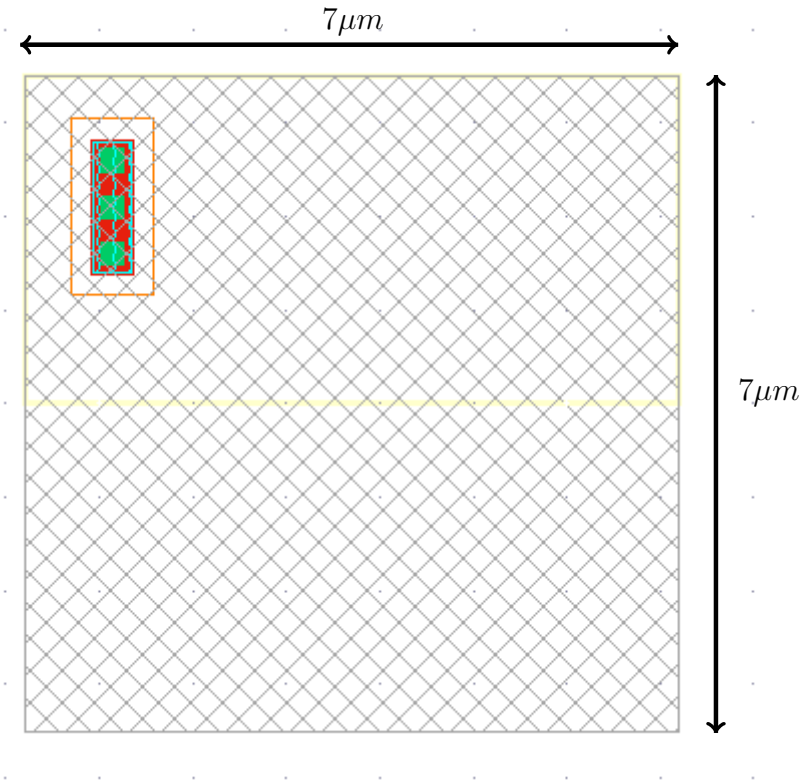


Figura 4.5: Fotodiodo en región inversa en tecnología 180nm

de la matriz. Estos están conectados a un buffer analógico y a un buffer digital, respectivamente. Las polarizaciones y referencias de voltaje se generan todas fuera del chip. Como puede verse en la figura 4.6, tomada de [54].

A continuación se calcula el consumo estimado de potencia para un sensor de 128x128 píxeles, cuyo valor se comparará con el de otros sensores de las mismas características en la sección 4.2.

Para hallar este valor se requiere recordar como funciona el diodo en región fotovoltaica y como puede esta unión PN entregar potencia, donde de manera gráfica se representa en la figura 2.4. La corriente de cortocircuito y la tensión de circuito abierto son dos de los parámetros que deben tomarse en cuenta, ya que el primero nos indicaría que cuando la caída de tensión en la unión PN es 0, la corriente entregada sería máxima. Lo mismo sucede con el segundo parámetro, la tensión de circuito abierto es dada cuando por la unión no circula corriente, esto indica que la diferencia de potencial en la unión es máxima y, de esta manera, la potencia entregada tendrá su valor más alto.

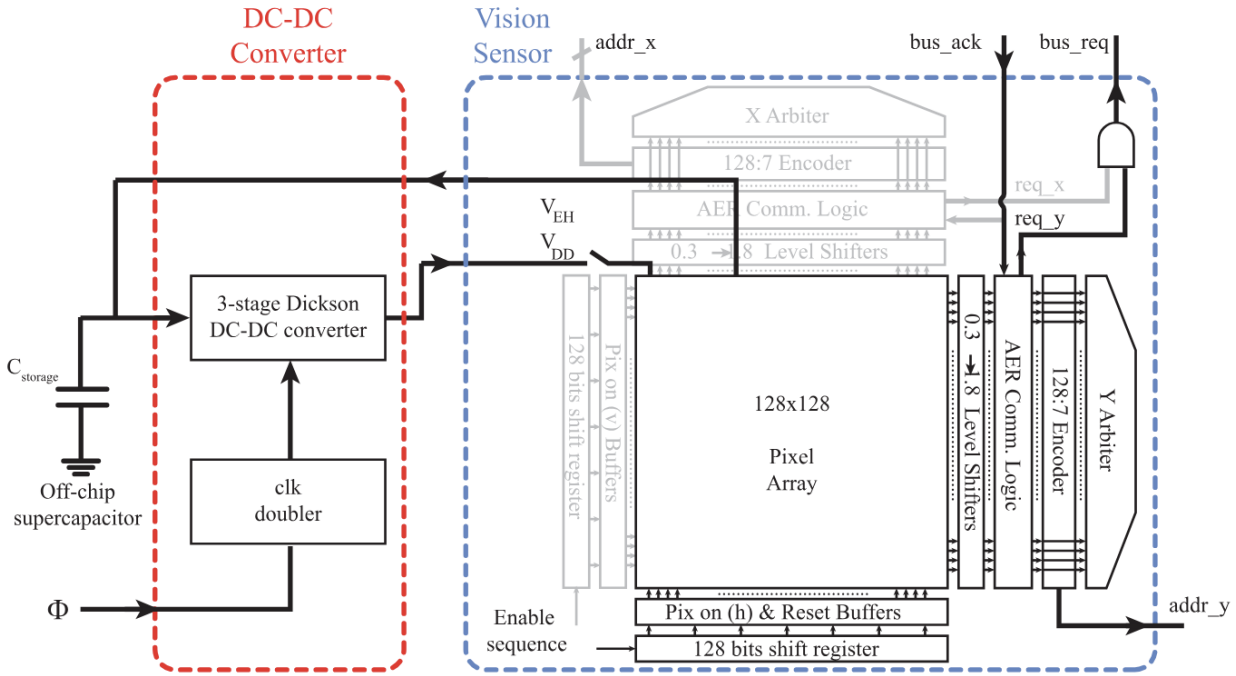


Figura 4.6: Esquema del sensor completo con los componentes necesarios para el correcto funcionamiento de la autoalimentación

Sin embargo, la caracterísitca I-V de la unión PN cuando la unión está iluminada es una curva exponencial que puede observarse en el cuarto cuadrante de un eje de coordenadas cartesiano, por lo tanto, el punto de potencia máxima estaría en algún punto de esta curva y los valores de tensión y corriente para los cuales puede calcularse esta potencia, no son la corriente de cortocircuito y la tensión de circuito abierto, si no otros dos, la corriente máxima y la tensión máxima, que a su vez dependen de estos parámetros mencionados. Geométricamente puede observarse este razonamiento en la figura 2.4.

La corriente de cortocircuito puede calcularse de la siguiente manera, o como se mencionó en la ecuación 2.5 [55].

$$I_{pd} = I_{ph} + I_d = I_{ph} - I_S \left(e^{\frac{V}{nU_T}} - 1 \right) \tag{4.1}$$

Donde I_{ph} es la fotocorriente generada e I_d es la corriente generada en la unión cuando no está iluminada. Por otro lado, la tensión de circuito abierto puede definirse como puede verse a continuación o como se indicó en la ecuación 2.6.

$$V_{oc} = n \cdot U_T \cdot ln\left(\frac{I_{ph}}{I_S} + 1\right) \tag{4.2}$$

A su vez, I_S se puede calcular así, donde hay que tener en cuenta parámetros como la concentración de huecos en la zona N(p_n), el cociente de difusión de huecos(D_p), la longitud de difusión de huecos(L_p), la concentración de electrones en la zona P(n_p), el coeficiente de difusión de electrones(D_n) y la longitud de difusión de electrones(L_n), que pueden verse en [56]. Y la anchura y longitud del fotodiodo que actúa en región fotovoltaica en el pixel son $W = 12{,}02\mu m$ y $L = 10{,}72\mu m$, como puede verse en la figura 4.3.

$$I_S = qWL\left(\frac{D_p p_n}{L_p} + \frac{D_n n_p}{L_n}\right) = 4{,}689 \cdot 10^{-21} A \tag{4.3}$$

Por lo tanto, la corriente de cortocircuito y el voltaje de circuito abierto serían:

$$I_{ph} = 148,7pA \tag{4.4}$$

$$V_{oc} = 628,9mV \tag{4.5}$$

Para calcular la corriente y tensión máximas en la unión PN iluminada se puede hacer el siguiente cálculo simplificado o recurrir a las ecuaciones 2.3 y 2.4.

$$V_{MP} \approx k_1 \cdot V_{oc} = 0{,}78 \cdot 628,9mV = 490,542mV \tag{4.6}$$

$$I_{MP} \approx k_2 \cdot I_{sc} = 0{,}92 \cdot 148,7pA = 136{,}804pA \tag{4.7}$$

Donde k_1 y k_2 son parámetros que varían entre [0.71-0.78] y [0.78-0.92], respectivamente [57]. Por lo tanto, la potencia máxima entregada en un clúster de cuatro píxeles sería

$$P_{MP} = V_{MP} \cdot I_{MP} = 490,542mV \cdot 136{,}804pA = 67,108pW \tag{4.8}$$

Y a su vez, en una matriz de píxeles de 128x128, $P_{MP} = 1,09\mu W$.

4.2. Estado del Arte

Según Eric Fossum, el sensor de imagen ideal sería aquel que tuviese una resolución y un rango dinámico infinitos, aparte de un consumo y tamaño cero. Esto supondría unos costes de fabricación y de procesamiento de datos muy elevados. En la tabla 4.1 se pretende analizar algunos parámetros comunes en algunos sensores de imagen como la tecnología utilizada en el proceso de diseño, fecha en la que se ha realizado el proyecto, fuente de alimentación necesaria para el uso del dispositivo, la complejidad del sensor (número de transistores empleados en el diseño), dimensiones del píxel, resolución del sensor, arquitectura empleada, fill factor y consumo del sistema.

Proyecto	Proyecto Actual	Ruben Gomez-Merchan [54]	Fang Tang [58]	Albert Yen-Chih Chiou [59]	Hsuan-Tsung Wang [60]
Tecnología	180nm	180nm	350nm	180nm	500nm
Año	2024	2023	2011	2016	2015
Fuente de Alimentación	1.8V	0.7V	1.35V	0.32V	N/A
Complejidad	40 transistores	54 transistores	4 transistores	5 transistores	14 transistores
Dimensión	$19.3\mu m$ x $20\mu m$	$19.5\mu m$ x $19.5\mu m$	$21\mu m$ x $21\mu m$	$7.5\mu m$ x $7.5\mu m$	$54\mu m$ x $48\mu m$
Resolución	128x128 pix	128x128 pix	128x96 pix	256x192 pix	32x32 pix
Arquitectura	Lectura de ventana asíncrona	Lectura TFS asíncrona	Lectura síncrona con pixel APS	Píxel síncrono con lectura PWM	Píxel síncrono con lectura ADC
Fill Factor	19.47 %	30.65 %	39 %	30.8 %	36 %
Consumo	$1.09\mu W$	$1.14\mu W$	$10\mu W$	$10.6\mu W$	N/A

Tabla 4.1: Comparación con otros sensores autoalimentados de bajo consumo

Es interesante hacer una comparativa del estado del arte con sensores de imagen que también sean autoalimentados y que tengan prestaciones parecidas. Como puede verse en la tabla 4.1. En este caso nuestro sistema tiene un fill factor bastante menor comparándolo con otros sensores de la literatura, sin embargo, el consumo no es muy elevado en comparación con algunos otros. La alimentación de la tecnología usada es elevada comparándola con otros sensores. Los resultados del proyecto acutal recogidos en la tabla 4.1, son los obtenidos con el programa CADENCE basados en

simulaciones preliminares.

Para el estudio comparativo frente al arte se ha pretendido incorporar el sensor de imagen realizado en el trabajo de fin de máster de Sergio Palomeque Mangut [48] cuya finalidad es producir imágenes usando menos datos. Los dos modos de lectura propuestos tienen como objetivo procesar eficientemente la salida de una matriz de pulsos. Diversos estudios ya comentaban que el uso de este tipo de lectura mejora la extracción de información en escenas luminosas. A este hito se le incorpora un fotodiodo que actúa en región fotovoltaica para que el sensor pueda autoalimentarse, ya que debido al modelo de consumo energético de hoy en día y el uso del IoT demandan cada vez más dispositivos de bajo consumo y alimentados con energía limpias y renovables.

CAPÍTULO 5

Resultados y conclusiones

Se ha incorporado un sistema de autoalimentación en un sensor de bajo consumo con una arquitectura conocida. Se ha podido comprobar que a pesar de tener un fill factor relativamente bajo el consumo del sistema competitivo frente al arte.

Por otro lado, el sistema se puede mejorar de diversas formas, por ejemplo las dimensiones del píxel y a su vez del sensor completo son elevadas, reduciendo las capacidades del sistema y haciendo una optimización del layout del píxel puede reducirse este área. El número de transistores no es excesivamente elevado, pero sería recomendable reducirlo.

Como trabajo futuro se proponen las siguientes acciones:

- Reducir capacidades en el sistema y así poder reducir el área del píxel.
- Mejorar el fill factor de los fotodiodos, esto puede realizarse aumentando el área de estos componentes pero impediría que se reduzca el área del píxel.
- Reducir el consumo del sensor, pudiéndose realizar mejorando el fill factor.
- La resolución del sensor puede mejorarse si se reduce el área ocupada.
- Concluir el diseño de un circuito integrado que contenga el sensor y mandarlo a fabricar.
- Elaborar un entorno de desarrollo para poder probar el chip fabricado.

Bibliografía

[1] Ferenc L. Toth and Hans-Holger Rogner. Renewable energy policies in a resource-constrained world. *Energy Policy*, 34(12):1737–1750, 2005.

[2] Richard Heinberg. The party's over: Oil, war, and the fate of industrial societies. *New Society Publishers*, 2003.

[3] Donald A. Neamen. *Semiconductor Physics and Devices, Basic Principles*. Mc Graw Hill, fourth edition, 2011.

[4] S. M. Sze. *Semiconductor Devices, Physics and Technology*. John Wiley Sons, INC, second edition, 2002.

[5] Manuel Fiolhais. Photoelectric effect and relativity. In *2023 Photonics Electromagnetics Research Symposium (PIERS)*, pages 417–420, 2023.

[6] Jed Z. Buchwald and Andrew Warwick. *J.J. Thompson and the Electron, 1897–1899*, pages 21–76. 2004.

[7] Laurent Pitre. Determinations of the boltzmann constant. In *2018 Conference on Precision Electromagnetic Measurements (CPEM 2018)*, pages 1–2, 2018.

[8] Ignacio Mártil de la Plaza. Transparencias de la unión pn real para la asignatura de "física de dispositivos". *Universidad Complutense de Madrid*, 2019.

[9] I.M. de la Plaza. *Energía solar : de la utopía a la esperanza*. Análisis y crítica. Guillermo Escolar Editor SL, 2020.

[10] National Geographic. Desde la cámara oscura hasta el teléfono móvil: la historia de la fotografía. `https://historia.nationalgeographic.com.es/a/historia-fotografia-arte-dibujar-luz_20128`, septiembre 2023.

[11] Niépce and the invention of photography. `https://photo-museum.org/niepce-invention-photography/`, 2023.

[12] Sanket Mehta, Arpita Patel, and Jagrat Mehta. Ccd or cmos image sensor for photography. In *2015 International Conference on Communications and Signal Processing (ICCSP)*, pages 0291–0294, 2015.

[13] Eric R. Fossum. *The Invention and Development of CMOS Image Sensors*, pages 281–291. 2023.

[14] ScienceDirect. Charge-coupled device. `https://www.sciencedirect.com/topics/engineering/charge-coupled-device`, 2023.

[15] Willard S. Boyle, George E. Smith, and Michael F. Tompsett. The nobel prize in physics 2009. *Nobel Prize Committee*, 2009. https://www.nobelprize.org/prizes/physics/2009/summary/.

[16] Eric R. Fossum. Active pixel sensor (aps) development. *Jet Propulsion Laboratory, NASA*, 1992. https://doi.org/10.1109/42.222490.

[17] Eric R. Fossum. *The Invention and Development of CMOS Image Sensors*, pages 281–291. 2023.

[18] Philipp Lichtsteiner, Christoph Posch, and Tobi Delbruck. A 128 × 128 120db 15us latency asynchronous temporal contrast vision sensor. *IEEE Journal of Solid-State Circuits*, 43(2):566–576, 2008.

[19] Yunjae Suh, Seungnam Choi, Masamichi Ito, Jeongseok Kim, Youngho Lee, Jongseok Seo, Heejae Jung, Dong-Hee Yeo, Seol Namgung, Jongwoo Bong, Sehoon Yoo, Seung-Hun Shin, Doowon Kwon, Pilkyu Kang, Seokho Kim, Hoonjoo Na, Kihyun Hwang, Changwoo Shin, Jun-Seok Kim, Paul K. J. Park, Joonseok Kim, Hyunsurk Ryu, and Yongin Park. A 1280×960 dynamic vision sensor with a 4.95-m pixel pitch and motion artifact minimization. In *2020 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1–5, 2020.

[20] Thomas Finateu, Atsumi Niwa, Daniel Matolin, Koya Tsuchimoto, Andrea Mascheroni, Etienne Reynaud, Pooria Mostafalu, Frederick Brady, Ludovic Chotard, Florian LeGoff, Hirotsugu Takahashi, Hayato Wakabayashi, Yusuke Oike, and Christoph Posch. 5.10 a 1280×720 back-illuminated stacked temporal contrast event-based vision sensor with 4.86µm pixels, 1.066geps readout, programmable event-rate controller and compressive data-formatting pipeline. In *2020 IEEE International Solid-State Circuits Conference - (ISSCC)*, pages 112–114, 2020.

[21] Christoph Posch and David Matolin. A qvga 143 db dynamic range frame-free pwm image sensor with lossless pixel-level video compression and time-domain cds. *IEEE Journal of Solid-State Circuits*, 49(9):2333–2342, 2014.

[22] Oichi Kumagai, Atsumi Niwa, Katsuhiko Hanzawa, Hidetaka Kato, Shinichiro Futami, Toshio Ohyama, Tsutomu Imoto, Masahiko Nakamizo, Hirotaka Murakami, Tatsuki Nishino, Anas Bostamam, Takahiro Iinuma, Naoki Kuzuya, Kensuke Hatsukawa, Frederick Brady, William Bidermann, Toshifumi Wakano, Takashi Nagano, Hayato Wakabayashi, and Yoshikazu Nitta. A 1/4-inch

3.9mpixel low-power event-driven back-illuminated stacked cmos image sensor. In *2018 IEEE International Solid-State Circuits Conference - (ISSCC)*, pages 86–88, 2018.

[23] Christoph Posch, Daniel Matolin, and Rainer Wohlgenannt. A qvga 143 db dynamic range frame-free pwm image sensor with lossless pixel-level video compression and time-domain cds. *IEEE Journal of Solid-State Circuits*, 46(1):259–275, 2011.

[24] Ruben Gomez-Merchan, Juan Antonio Leñero-Bardallo, María López-Carmona, and Ángel Rodríguez-Vázquez. A low-latency, low-power cmos sun sensor for attitude calculation using photovoltaic regime and on-chip centroid computation. *IEEE Transactions on Instrumentation and Measurement*, 72:1–12, 2023.

[25] Juan Lenero-Bardallo, Lukasz Farian, Jose-Maria Guerrero-Rodríguez, Ricardo Carmona-Galan, and Angel Rodriguez-Vazquez. Sun sensor based on a luminance spiking pixel array. *IEEE Sensors Journal*, PP:1–1, 09 2017.

[26] Łukasz Farian, Philipp Häfliger, and Juan A. Leñero-Bardallo. A miniaturized two-axis ultra low latency and low-power sun sensor for attitude determination of micro space probes. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 65(5):1543–1554, 2018.

[27] J. Ohta, K. Kagawa, T. Tokuda, and M. Nunoshita. Retinal prosthesis device based on pulse-frequency-modulation vision chip. In *2005 IEEE International Symposium on Circuits and Systems*, pages 2923–2926 Vol. 3, 2005.

[28] Shoushun Chen, Farid Boussaid, and A. Bermak. Robust intermediate readout for deep submicron technology cmos image sensors. *Sensors Journal, IEEE*, 8:286 – 294, 04 2008.

[29] Juan A. Leñero-Bardallo, Philipp Häfliger, R. Carmona-Galán, and Ángel Rodríguez-Vázquez. A bio-inspired vision sensor with dual operation and readout modes. *IEEE Sensors Journal*, 16(2):317–330, 2016.

[30] J. A. Leñero-Bardallo, R. Carmona-Galán, and Ángel Rodríguez-Vázquez. A wide linear dynamic range image sensor based on asynchronous self-reset and tagging of saturation events, 2017.

[31] Juan Antonio Leñero-Bardallo, Manuel Delgado-Restituto, Ricardo Carmona-Galán, and Ángel Rodríguez-Vázquez. Asynchronous spiking pixel with programmable sensitivity to illumination. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 65(11):3854–3863, 2018.

[32] Juan Antonio Leñero-Bardallo, Lukasz Farian, José-Maria Guerrero-Rodríguez, Ricardo Carmona-Galán, and Ángel Rodríguez-Vázquez. Sun sensor based on a luminance spiking pixel array. *IEEE Sensors Journal*, 17(20):6578–6588, 2017.

[33] Juan A. Leñero-Bardallo, Fernando Pérez-Peña, R. Carmona-Galán, and Á. Rodríguez-Vázquez. Pipeline aer arbitration with event aging. In *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1–4, 2017.

[34] Germán González Díaz, Ignacio Mártil de la Plaza, and Francisco Javier Franco Peláez. *Apuntes de Electrónica Analógica*. E-prints Complutense, 2015.

[35] Di Zhang, Faisal A. Alsoyan, Marwan R. Alsuwaidi, and Saud F. Ayoon. Experimental and simulation studies of transient photocurrent in organic solar cells. In *2023 Advances in Science and Engineering Technology International Conferences (ASET)*, pages 1–4, 2023.

[36] Tamara Rudenko, Valeriya Kilchytska, Mohd Khairuddin Md Arshad, Jean-Pierre Raskin, Alexey Nazarov, and Denis Flandre. On the mosfet threshold voltage extraction by transconductance and transconductance-to-current ratio change methods: Part i—effect of gate-voltage-dependent mobility. *IEEE Transactions on Electron Devices*, 58(12):4172–4179, 2011.

[37] Chengxiong Huang, Yunqiu Wu, Shili Cong, Yiming Yu, Chenxi Zhao, Huihua Liu, Hongyan Tang, Yuehang Xue, and Kai Kang. An improved surface potential-based high-order channel length modulation model. In *2019 IEEE Asia-Pacific Microwave Conference (APMC)*, pages 1283–1285, 2019.

[38] R. Jacob Baker. *CMOS Circuit Design, Layout and Simulation*. IEEE Press, third edition, 2010.

[39] José Manuel Mendías Caudros. *Diseño de Circuitos Integrados I*. Departamento de Arquitectura de Computadores y Automática, Universidad Complutense de Madrid, 2015.

[40] Charles K. Alexander and Matthew N.O. Sadiku. *Fundamentos de Circuitos Eléctricos*. Mc Graw Hill Education, fifth edition, 2013.

[41] Brian Holdsworth and Clive Woods. *Digital Logic Design*. Newnes, fourth edition, 2002.

[42] P.E. Allen and D.R. Holberg. *CMOS Analog Circuit Design*. NewYork Oxford, third edition, 2012.

[43] Rafael Domínguez-Castro, Manuel Delgado-Restituto, Angel Rodríguez-Vázquez, José M. de la Rosa, and Fernando Medeiro. *CMOS Comparators*, pages 149–182. Springer US, Boston, MA, 2003.

[44] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*, pages 200–201. 2017.

[45] David M. Binkley. *Tradeoffs and Optimization in Analog CMOS Design*. John Wiley Sons, first edition, 2011.

[46] J. M. Rabaey. *Digital Integrated Circuits: A Design Perspective*. Prentice Hall, second edition, 2003.

[47] T. C. Carusone, D. Johns, and K. Martin. *Digital Integrated Circuits: A Design Perspective*. John Wiley Sons, second edition, 2011.

[48] Sergio Palomeque Mangut. Octopus image sensor with asynchronous windowed readout. Bachellor thesis, Univeridad de Sevilla, Facultad de Física, Departamento de Electrónica y Electromagnetismo, 2023.

[49] Shih-Chii Liu, Tobi Delbruck, Giacomo Indiveri, Adrian Whatley, and Rodney Douglas. *Event-Based Neuromorphic Systems*. Wiley, Chichester, England, 2015.

[50] Juan Antonio Leñero-Bardallo, Ricardo Carmona-Galán, and Ángel Rodríguez-Vázquez. A wide linear dynamic range image sensor based on asynchronous self-reset and tagging of saturation events. *IEEE Journal of Solid-State Circuits*, 52(6):1605–1617, 2017.

[51] Nabil Imam and Rajit Manohar. Address-event communication using token-ring mutual exclusion. In *2011 17th IEEE International Symposium on Asynchronous Circuits and Systems*, pages 99–108, 2011.

[52] K.A. Boahen. A burst-mode word-serial address-event link-i: transmitter design. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 51(7):1269–1280, 2004.

[53] Álvaro Pulido Muñoz. Estudio comparativo y diseño de fotodiodos integrados y estructuras de test en tecnología cmos para recolección de energía solar. Bachellor thesis, Univeridad de Sevilla, Facultad de Física, Departamento de Electrónica y Electromagnetismo, 2023.

[54] Ruben Gomez-Merchan, Juan Antonio Leñero-Bardallo, and Ángel Rodríguez-Vázquez. A self-powered asynchronous image sensor with tfs operation. *IEEE Sensors Journal*, 23(7):6779–6790, 2023.

[55] Rubén Gómez-Merchán, David Palomeque-Mangut, Juan Antonio Leñero-Bardallo, Manuel Delgado-Restituto, and Ángel Rodríguez-Vázquez. A comparative study of stacked-diode configurations operating in the photovoltaic region. *IEEE Sensors Journal*, 20(16):9105–9113, 2020.

[56] S Saravanan, D S Murty, A Guru Prasad, Dinesh Kumar, and Prakash Suratkar. Studies on the influence of effective carrier lifetime in the performance of industrial silicon solar cells. In *2011 37th IEEE Photovoltaic Specialists Conference*, pages 002940–002942, 2011.

[57] Jobeda Khanam and Simon Y Foo. Neural networks technique for maximum power point tracking of photovoltaic array. In *SoutheastCon 2018*, pages 1–4, 2018.

[58] Fang Tang and Amine Bermak. An 84 pw/frame per pixel current-mode cmos image sensor with energy harvesting capability. *IEEE Sensors Journal*, 12(4):720–726, 2012.

[59] Albert Yen-Chih Chiou and Chih-Cheng Hsieh. A 137 db dynamic range and 0.32 v self-powered cmos imager with energy harvesting pixels. *IEEE Journal of Solid-State Circuits*, 51(11):2769–2776, 2016.

[60] Hsuan-Tsung Wang and Walter Daniel Leon-Salas. An image sensor with joint sensing and energy harvesting functions. *IEEE Sensors Journal*, 15(2):902–916, 2015.