



- (51) Clasificación Internacional de Patentes:
H03F 3/08 (2006.01) *H03F 3/345* (2006.01)
- (21) Número de la solicitud internacional:
PCT/ES2012/070363
- (22) Fecha de presentación internacional:
22 de mayo de 2012 (22.05.2012)
- (25) Idioma de presentación: español
- (26) Idioma de publicación: español
- (30) Datos relativos a la prioridad:
P201130862 26 de mayo de 2011 (26.05.2011) ES
- (71) Solicitante (para todos los Estados designados salvo US):
CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS (CSIC) [ES/ES]; Serrano, 117, E-28006 Madrid (ES).
- (72) Inventores; e
- (75) Inventores/Solicitantes (para US solamente): **SERRANO GOTARREDONA, Teresa** [ES/ES]; Instituto de Microelectrónica de Sevilla, Avda. Américo Vespucio, s/n., Isla de la Cartuja, E-41092 Sevilla (ES). **LINARES**

BARRANCO, Bernabé [ES/ES]; Instituto de Microelectrónica de Sevilla, Avda. Américo Vespucio, s/n., Isla de la Cartuja, E-41092 Sevilla (ES).

(74) Mandatario: **UNGRIA LÓPEZ, Javier**; Avenida Ramón y Cajal, 78, E-28043 Madrid (ES).

(81) Estados designados (a menos que se indique otra cosa, para toda clase de protección nacional admisible): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Estados designados (a menos que se indique otra cosa, para toda clase de protección regional admisible): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ,

[Continúa en la página siguiente]

(54) Title: LOW-MISMATCH AND LOW-CONSUMPTION TRANSIMPEDANCE GAIN CIRCUIT FOR TEMPORALLY DIFFERENTIATING PHOTO-SENSING SYSTEMS IN DYNAMIC VISION SENSORS

(54) Título : CIRCUITO DE GANANCIA DE TRANSIMPEDANCIA DE BAJO CONSUMO Y BAJO DESAPAREAMIENTO PARA SISTEMAS DE FOTSENSADO DIFERENCIADOR TEMPORAL EN SENSORES DINÁMICOS DE VISIÓN

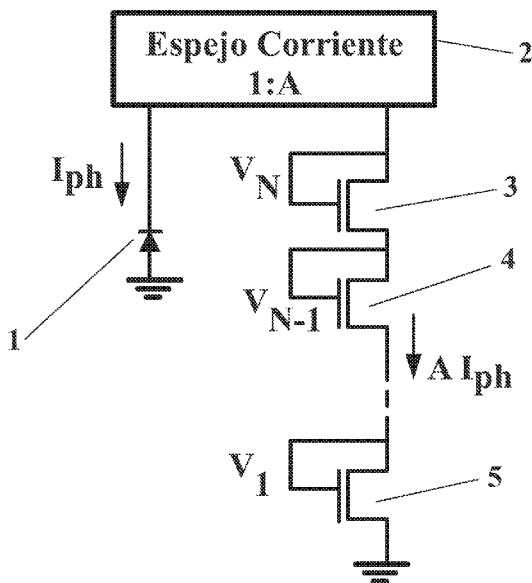


FIG. 1

2 Current Mirror 1:A

(57) Abstract: The invention relates to a low-mismatch and low-consumption transimpedance gain circuit for temporally differentiating photo-sensing systems in dynamic vision sensors, which uses at least one photodiode and at least two in-series transistors, each of the transistors being connected in diode configuration and being positioned at the output of the photodiode. The output current from the photodiode flows through the drain-source channels of the transistors and the source of the last transistor in series is connected to a voltage selected from earth voltage, a constant voltage or a controlled voltage.

(57) Resumen: Circuito de ganancia de transimpedancia de bajo consumo y bajo desapareamiento para sistemas de fotosensado diferenciador temporal en sensores dinámicos de visión, que emplea al menos un fotodiodo, al menos dos transistores en serie, estando conectados cada uno de los transistores en configuración diodo y estando colocados a la salida del fotodiodo, circulando la corriente de salida del fotodiodo por los canales drenador-fuente de los transistores y teniendo el último transistor en serie conectada la fuente a un voltaje seleccionado entre tierra, una tensión constante y una tensión regulada.

WO 2012/160230 A1

BY, KG, KZ, RU, TJ, TM), europea (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publicada:

— *con informe de búsqueda internacional (Art. 21(3))*

CIRCUITO DE GANANCIA DE TRANSIMPEDANCIA DE BAJO CONSUMO Y
BAJO DESAPAREAMIENTO PARA SISTEMAS DE FOTSENSADO
DIFERENCIADOR TEMPORAL EN SENSORES DINÁMICOS DE VISIÓN

5

OBJETO DE LA INVENCION

La presente invención, tal y como se expresa en el enunciado de esta memoria descriptiva se refiere a un circuito de ganancia en transimpedancia de bajo consumo y bajo desapareamiento para sistemas de fotosensado diferenciador temporal para DVS (Dynamic Vision Sensor) mediante transistores conectados en diodo.

La invención se encuadra en el campo de los circuitos electrónicos, en particular circuitos integrados analógicos de bajo consumo y área reducida. En concreto, el circuito pertenece a la categoría de preamplificadores de corriente a tensión, es decir, transimpedancia.

ANTECEDENTES DE LA INVENCION

Los DVS (Dynamic Vision Sensor) son unos nuevos circuitos integrados del tipo de cámaras de video, pero sin ser tales. En las cámaras de video comerciales, el aparato graba fotograma tras fotograma. En los DVS no hay fotogramas. El circuito integrado contiene una matriz de fotosensores, al igual que las cámaras de video. En las cámaras de video cada fotosensor se muestrea con una frecuencia fija. Sin embargo, en los DVS los pixeles no se muestrean. Cada pixel calcula la derivada temporal de la luz que sensa, y cuando ésta supera un determinado nivel (umbral), el pixel emite un "evento" al exterior. El evento consiste habitualmente en la coordenada (x,y) del pixel dentro de la matriz bidimensional de fotosensores. De esta manera, la salida de un DVS consiste en un flujo de coordenadas (x,y) de los

distintos píxeles que van detectando un cambio en la intensidad que sensan. Este tipo de sensores DVS se reportaron por primera vez por Lichtsteiner, Delbrück, y Posch en 2006 ("A 128×128 120dB 30mW Asynchronous Vision
5 Sensor that Responds to Relative Intensity Change" in Visuals Supplement to ISSCC Dig. of Tech. Papers, San Francisco, 2006, vol., pp. 508-509 (27.9)) y luego en más detalle en P. Lichtsteiner, C. Posch y T. Delbrück, ("A
10 Contrast Vision Sensor," *IEEE J. Solid-State Circ.*, vol. 43, No. 2, pp. 566-576, Feb. 2008).

Más recientemente, Posch ha reportado un nuevo prototipo (C. Posch, D. Matolin, and R. Wohlgenannt, "A
15 QVGA 143dB dynamic range asynchronous address-event PWM dynamic image sensor with lossless pixel level video-compression," *Solid-State Circuits, 2010 IEEE International Conference ISSCC, Dig of Tech Paper*, pp. 400-401, February 2010).

No obstante, en estos sensores DVS la fotocorriente
20 I_{ph} sensada por un fotosensor, se transforma primero a tensión mediante una conversión logarítmica. Esta tensión se amplifica primero, y después se le calcula la derivada temporal. Un parámetro crucial es la ganancia en tensión de esta primera amplificación. Cuanto mayor sea la
25 amplificación, mayor sensibilidad tendrá el sensor al "Contraste Temporal". El problema es que esta amplificación debe realizarse dentro de cada píxel de la matriz, y debe ser realizada por un circuito que consuma poca potencia y poca área del microchip. Por otro lado,
30 es importante que sea realizada por un circuito que no sufra demasiada dispersión en el valor de la ganancia de un píxel a otro, pues de lo contrario introduciría mucha variación en el comportamiento de los distintos píxeles entre sí, deteriorando la sensibilidad global del sensor.

Los DVS reportados hasta la fecha emplean etapas amplificadoras de tensión basadas en circuitos con condensadores. En los circuitos integrados analógicos, los condensadores presentan baja dispersión entre sí, y por tanto son muy apropiados para realizar etapas amplificadoras de tensión. Sin embargo, en los DVS es deseable obtener ganancias en tensión del orden de 20 a 100 (o superior). Al hacer esto con condensadores, se requieren al menos dos condensadores cuya proporción de valores sea igual que el de la ganancia deseada. Dado que el área de los condensadores es proporcional a su valor, esto quiere decir que uno de los condensadores debe tener un área entre 20 y 100 veces superior al otro. El resultado final es que una gran parte del área del pixel se consume en los condensadores.

Una posible alternativa podría ser obtener la ganancia en tensión mediante dos etapas consecutivas, ya que se multiplica la ganancia de cada etapa. Sin embargo, la sincronización requerida entre las dos etapas consecutivas conlleva una excesiva lentitud, reduciendo dramáticamente la velocidad de los DVS.

DESCRIPCIÓN DE LA INVENCIÓN

Para lograr los objetivos y evitar los inconvenientes indicados anteriormente, la presente invención consiste en un circuito de ganancia en transimpedancia de bajo consumo y bajo desapareamiento para sistemas de fotosensado diferenciador temporal para DVS (Dynamic Vision Sensor) mediante transistores conectados en diodo.

Así pues, la presente invención se refiere a un circuito de ganancia de transimpedancia de bajo consumo y bajo desapareamiento para sistemas de fotosensado diferenciador temporal en sensores dinámicos de visión, que emplea al menos un fotodiodo, estando el sistema

caracterizado porque comprende al menos dos transistores en serie, estando conectados cada uno de los transistores en configuración diodo y estando colocados a la salida del fotodiodo, circulando la corriente de salida del
5 fotodiodo por los canales drenador-fuente de los transistores y teniendo el último transistor en serie conectada la fuente a un voltaje seleccionado entre tierra, una tensión constante y una tensión regulada. Así, los pixeles de las cámaras que hacen uso de sensores
10 de visión dinámicas, también llamadas cámaras DVS, necesitan de al menos un fotosensor para generar la corriente de entrada al circuito de transimpedancia, sin embargo, si dicho circuito se usa en otro contexto, la corriente de entrada puede proceder de otro circuito o
15 elemento que no sea un fotodiodo. De hecho, por ejemplo, cuando se usan varias de estas etapas en cascada, solo la primera recibe la corriente del fotodiodo. Las demás las reciben de un transistor.

En una realización preferente de la invención, los
20 al menos dos transistores tienen una característica tensión-corriente de tipo exponencial.

En otra realización preferente de la invención, los transistores son de tipo FET estando polarizados en inversión débil.

25 En otra realización preferente de la invención, el circuito comprende unos medios de control de la polaridad de la corriente eléctrica generada en el fotodiodo, estando los medios de control de la polaridad colocados entre el fotodiodo y los al menos dos transistores. Estos
30 medios de control de la polaridad, que son opcionales, mejoran el rendimiento del circuito obteniéndose una respuesta del circuito más rápida.

En otra realización de la invención, los medios de control de la polaridad comprenden medios de copiado e inversión de la corriente eléctrica.

5 En otra realización preferente de la invención, los medios de control de la polaridad comprenden medios de amplificación de la corriente eléctrica.

10 En otra realización preferente de la invención, los medios de control de la polaridad comprenden ser un espejo de corriente en serie con el fotodiodo siendo la corriente de salida de los medios de control de la polaridad la que circule por los canales drenador-fuente de los al menos dos transistores.

15 En otra realización preferente de la invención, el circuito comprende un circuito de control automático de la ganancia del espejo de corriente entre el espejo de corriente y los al menos dos transistores.

20 En otra realización preferente de la invención, el circuito comprende tener una dependencia logarítmica entre la tensión de salida frente a la corriente generada por el fotodiodo.

25 Además la presente invención contempla el uso del circuito de ganancia en transimpedancia de bajo consumo y bajo desapareamiento para sistemas de fotosensado diferenciador temporal para DVS para generar una etapa de amplificación de corriente mediante la colocación del mencionado circuito de ganancia en transimpedancia como etapa previa a un circuito en transconductancia.

30 También comprende el uso del circuito de ganancia en transimpedancia de bajo consumo y bajo desapareamiento para sistemas de fotosensado diferenciador temporal para DVS para generar una etapa de amplificación de tensión mediante la colocación del circuito de ganancia en transimpedancia como etapa posterior a un circuito en transconductancia.

Y también comprende la presente invención el uso del circuito de ganancia en transimpedancia de bajo consumo y bajo desapareamiento para sistemas de fotosensado diferenciador temporal para DVS para ser empleado como
5 etapa previa a un circuito de derivación de la señal a la salida que elimina la tensión en continua de la señal de salida del circuito de ganancia en transimpedancia, reduciendo las dispersiones entre todos los píxeles.

BREVE DESCRIPCIÓN DE LAS FIGURAS

10 Figura 1.- Muestra un ejemplo de realización de la presente invención, comprendiendo la presente una única etapa.

Figura 2.- Muestra un ejemplo de realización de la invención en el que el circuito se compone de dos etapas.

15 Figura 3.- Muestra un ejemplo de realización en el que el circuito comprende tener dos etapas, cada una de ellas con ganancia "3".

DESCRIPCIÓN DE VARIOS EJEMPLOS DE REALIZACIÓN DE LA INVENCION

20 Seguidamente se realizan, con carácter ilustrativo y no limitativo, una descripción de varios ejemplos de realización de la invención, haciendo referencia a la numeración adoptada en las figuras.

25 En la presente invención el circuito que transforma la fotocorriente a tensión mediante una conversión logarítmica, realiza de manera implícita una amplificación en tensión, con baja dispersión de la ganancia entre los distintos píxeles dentro del mismo microchip.

30 Así, la figura 1 muestra el ejemplo de realización más básico del circuito objeto de la invención. Dicho ejemplo de realización comprende un fotodiodo (1) que genera una foto corriente I_{ph} que se amplifica mediante un espejo de corriente (2) de ganancia A . La corriente

amplificada se lleva a una cadena de N transistores (3,4,5), siendo N un número natural, conectados todos ellos con su compuerta al drenador, lo que se conoce por conexión en diodo. Nótese que la figura muestra 3
 5 transistores pudiendo ser en realidad un número cualquiera N de transistores.

En el caso de una realización con transistores NMOS FET, la diferencia de tensión que se forma en cada transistor (3,4,5), polarizado en inversión débil, es
 10 aproximadamente la misma, y vale

$$V = nU_T \ln \left(\frac{AI_{D1}}{I_x} \right)$$

De esta manera, la tensión que se obtiene en el
 15 transistor más alto es aproximadamente

$$V_N = NnU_T \ln \left(\frac{AI_{D1}}{I_x} \right)$$

En una realización de circuito integrado, los
 20 parámetros A , correspondiente a la ganancia del espejo de corriente, e I_x , correspondiente a un parámetro característico del transistor FET denominado habitualmente "corriente específica", sufren grandes variaciones de píxel a píxel, mientras que U_T es una
 25 constante física igual para todos los píxeles. El parámetro n , correspondiente a otro parámetro característico del transistor FET denominado habitualmente "factor de pendiente", sufre una variación de píxel a píxel relativamente baja. Cuando la tensión de
 30 salida V_N se lleva al circuito derivada, proporciona la salida

$$\frac{dV_N}{dt} = NnU_T \frac{i_{ph}}{I_{ph}}$$

De manera que este circuito añade el factor N (siendo N el número de transistores de cada etapa) a la ganancia que se obtenía mediante técnicas anteriores, y no intervienen los parámetros que sufren grandes dispersiones de píxel a píxel A e I_s .

En la práctica no se puede usar valores de N muy altos, estando limitado a 3 ó 4. Sin embargo, se pueden conectar en cascada diferentes etapas como las de la Fig.1. Esto se ilustra en la Fig.2, donde la primera etapa tiene N_1 transistores en serie y la segunda etapa N_2 .

La tensión formada en el primer bloque V_{N_1} (3) se lleva a la puerta de un transistor (11) con fuente conectada a V_Q generando una corriente $I_2 = I_{s2} e^{\frac{V_{N_1} - V_Q}{nU_T}}$. Al derivar la salida del circuito V_{N_2} , se obtiene como resultado aproximadamente

$$\frac{dV_{N_2}}{dt} = N_1 N_2 n U_T \frac{i_{ph}}{I_{ph}}$$

De nuevo, los parámetros de alto índice de dispersión entre píxeles no aparecen en la ecuación final. Este método se puede ampliar a más etapas sucesivas.

La Fig.3 muestra un ejemplo de realización con dos etapas, cada una de ganancia adicional '3'. Muestra una posible realización de los espejos de corriente. Para conseguir dicha ganancia adicional se han empleado 3 transistores FET (3', 4', 5') en cascada en cada una de las

etapas. A la entrada de la segunda etapa se coloca un transistor FET (11) con la fuente conectada a un voltaje v_0 para generar la corriente I_2 .

Los espejos de corriente son circuitos básicos bien
5 conocidos en la literatura del diseño de circuitos integrados analógicos. Éstos copian la corriente en su rama de entrada a su rama de salida, dotándola a ésta de una amplificación o atenuación opcional. En la Fig.3 el espejo de corriente de la primera etapa está formado por
10 tres elementos, siendo éstos dos transistores PMOS FET (6,7) con su compuerta conectada a sendas tensiones constantes V_a y V_b , y un amplificador de tensión (8) con una ganancia suficientemente alta para generar las condiciones de "tierra virtual" en el nodo que une el
15 fotodiodo (1) con el primer transistor PMOS (6), mejorando así sensiblemente la velocidad del circuito. El espejo de corriente de la segunda etapa (8,9,10) es idéntico al de la primera, aunque pudiendo estar polarizado con tensiones distintas V_c y V_d , que darían
20 lugar a una ganancia distinta.

Estos circuitos, que se repiten para cada píxel, deben complementarse con unos circuitos de polarización, compartidos por todos los píxeles, para fijar las tensiones V_a , V_b , V_c , V_d y V_0 .

25 Para el caso concreto del uso de cámaras DVS, se requiere al menos un fotodiodo para captar la luz en cada pixel. Así en cada pixel de la cámara DVS habrá una etapa (o cascada de etapas) de transimpedancia.

Si la etapa se usa en otro contexto distinto al de
30 las cámaras DVS, la corriente de entrada puede proceder de otro circuito que no sea un fotodiodo. De hecho, por ejemplo, cuando se usan varias de estas etapas en cascada, solo la primera recibe la corriente del diodo. Las demás las reciben de un transistor.

REIVINDICACIONES

1.- Circuito de ganancia de transimpedancia de bajo consumo y bajo desapareamiento para sistemas de fotosensado diferenciador temporal en sensores dinámicos de visión, que emplea al menos un fotodiodo, estando el sistema caracterizado porque comprende al menos dos transistores en serie, estando conectados cada uno de los transistores en configuración diodo y estando colocados a la salida del fotodiodo, circulando la corriente de salida del fotodiodo por los canales drenador-fuente de los transistores y teniendo el último transistor en serie conectada la fuente a un voltaje seleccionado entre tierra, una tensión constante y una tensión regulada.

15

2.- Circuito de ganancia en transimpedancia, según la reivindicación 1, caracterizado porque los al menos dos transistores tienen una característica tensión-corriente de tipo exponencial.

20

3.- Circuito de ganancia en transimpedancia, según la reivindicación 2, caracterizado porque cuando los transistores son de tipo FET están polarizados en inversión débil.

25

4.- Circuito de ganancia en transimpedancia, según la reivindicación 1, caracterizado porque comprende (opcionalmente) unos medios de control de la polaridad de la corriente eléctrica generada en el fotodiodo, estando los medios de control de la polaridad colocados entre el al menos un fotodiodo y los al menos dos transistores.

30

5.- Circuito de ganancia en transimpedancia, según la reivindicación 4, caracterizado porque los medios de

control de la polaridad comprenden medios de copiado e inversión de la corriente eléctrica.

5 6.- Circuito de ganancia en transimpedancia, según la reivindicación 5, caracterizado porque los medios de control de la polaridad comprenden medios de amplificación de la corriente eléctrica.

10 7.- Circuito de ganancia en transimpedancia, según la reivindicación 5 o 6, caracterizado porque los medios de control de la polaridad comprenden ser un espejo de corriente en serie con el fotodiodo siendo la corriente de salida de los medios de control de la polaridad la que circule por los canales drenador-fuente de los al menos
15 dos transistores.

20 8.- Circuito de ganancia en transimpedancia, según la reivindicación 7, caracterizado porque comprende un circuito de control automático de la ganancia del espejo de corriente entre el espejo de corriente y los al menos dos transistores.

25 9.- Circuito de ganancia en transimpedancia, según una cualquiera de las reivindicaciones anteriores, caracterizado porque comprende tener una dependencia logarítmica entre la tensión de salida frente a la corriente generada por el fotodiodo.

30 10.- Uso del circuito de ganancia en transimpedancia definido en las reivindicaciones 1 a 9 para generar una etapa de amplificación de corriente mediante la colocación del circuito de ganancia en transimpedancia como etapa previa a un circuito en transconductancia.

11.- Uso del circuito de ganancia en transimpedancia definido en las reivindicaciones 1 a 9 para generar una etapa de amplificación de tensión mediante la colocación del circuito de ganancia en transimpedancia como etapa posterior a un circuito en transconductancia.

12.- Uso del circuito de ganancia en transimpedancia definido en las reivindicaciones 1 a 9 para ser empleado como etapa previa a un circuito de derivación de la señal a la salida que elimina la tensión en continua de la señal de salida del circuito de ganancia en transimpedancia, reduciendo las dispersiones entre todos los píxeles.

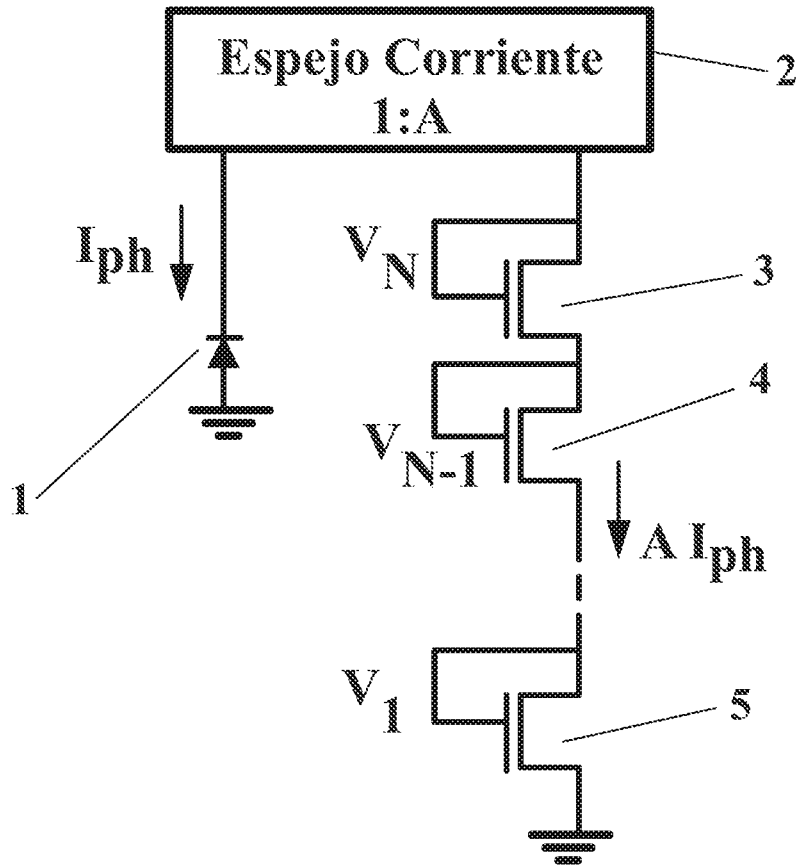


FIG. 1

14

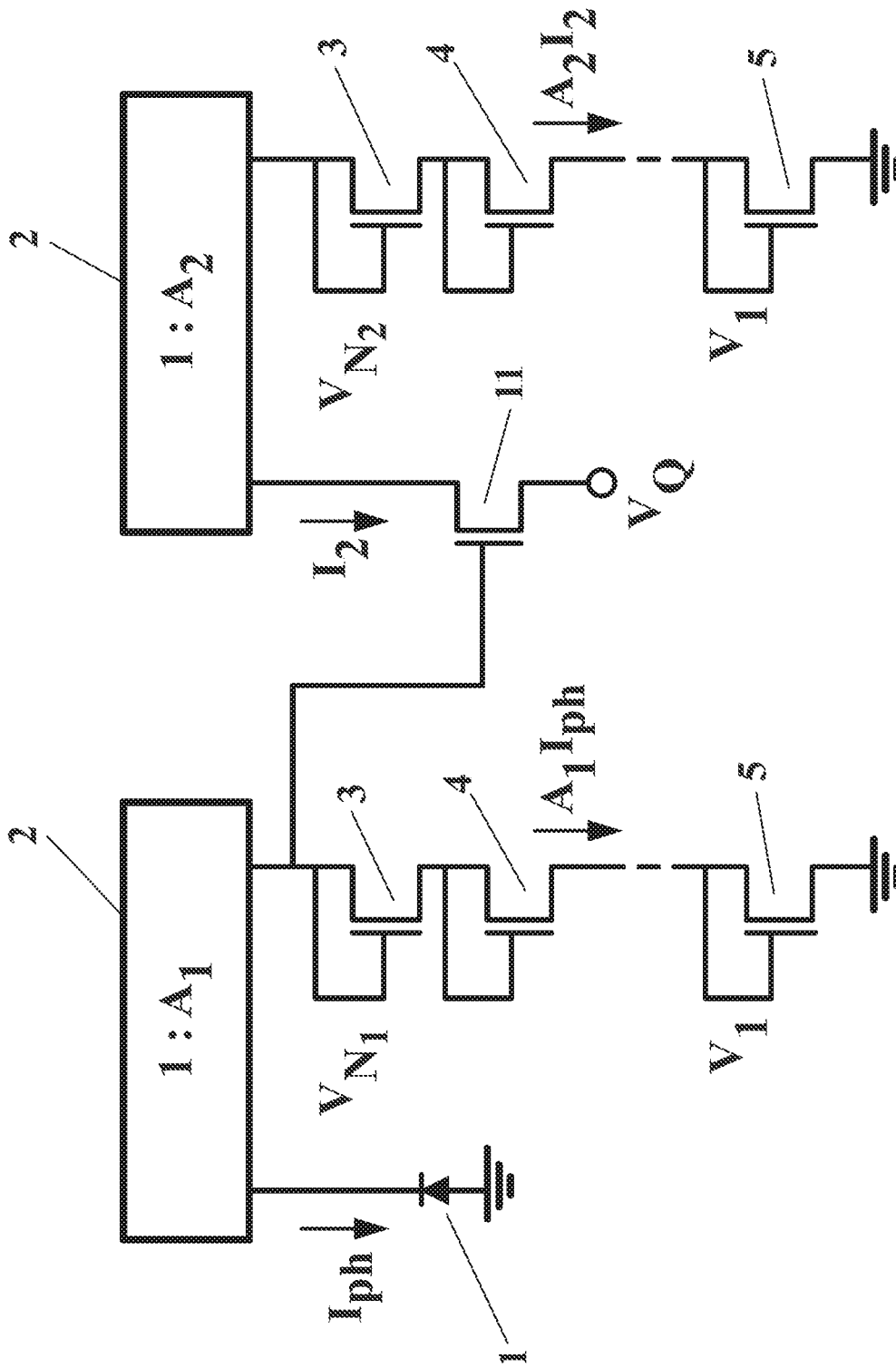


FIG. 2

15

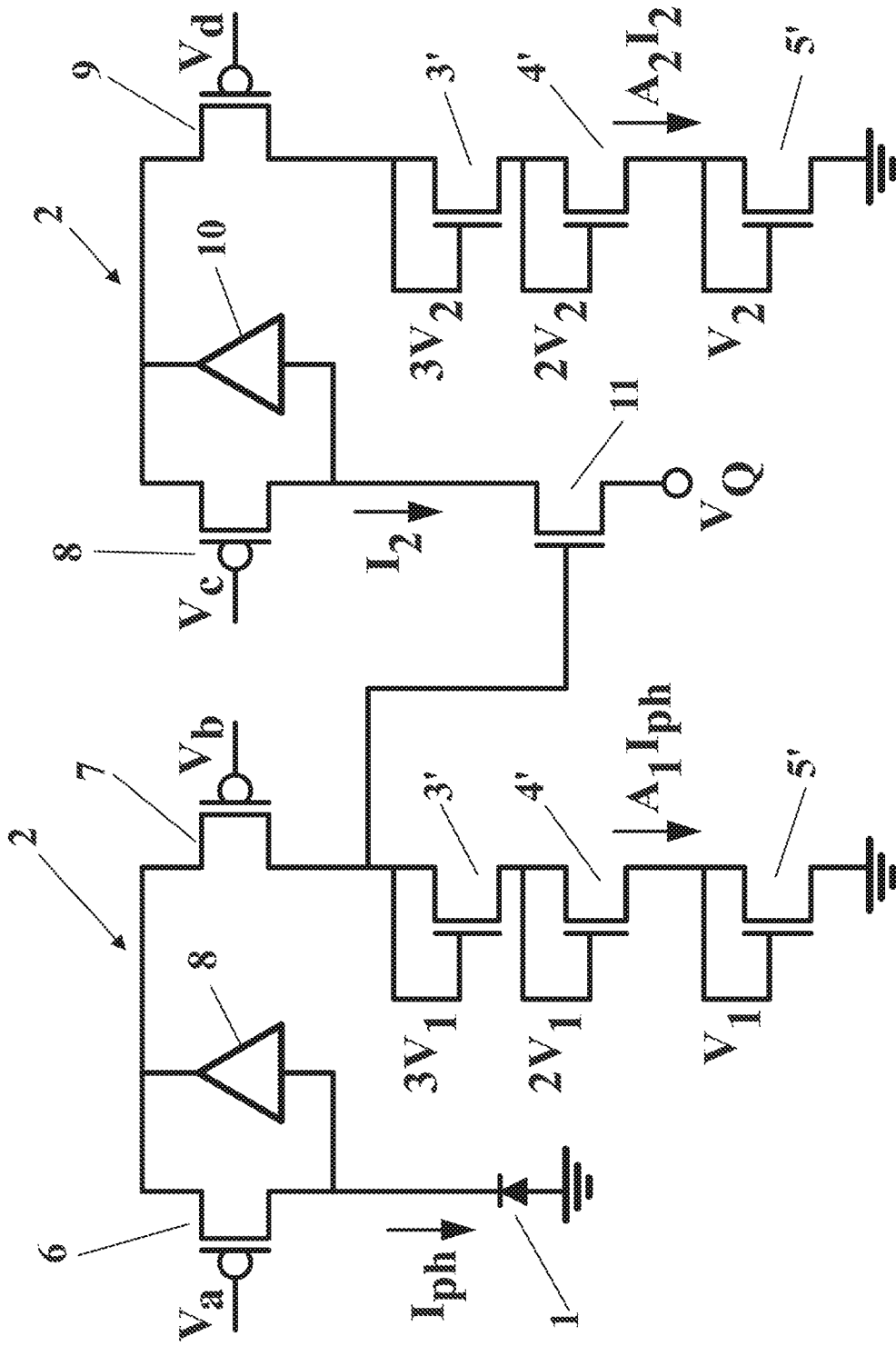


FIG. 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/ES2012/070363

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/08 (2006.01)
H03F3/345 (2006.01)
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, INVENES, WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010116969 A1 (SUZUKI YASUYUKI) 13/05/2010, paragraphs[0017 - 0020]; paragraphs[0053 - 0059]; figure 8.	1-12
X	EP 1357665 A2 (SAMSUNG ELECTRONICS CO LTD) 29/10/2003, paragraphs[0018 - 0035]; figures.	1-12
X	GB 2424138 A (AGILENT TECHNOLOGIES INC) 13/09/2006, page 1, line 1 - page 2, line 16; page8, lines 1 - 27; figures.	1-12
A	US 5801588 A (NISHIYAMA NAOKI) 01/09/1998, column 1, line 40 - column 3, line 59; figures 2-3,8-11 and 15-16.	1-12

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance.</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure use, exhibition, or other means.</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents , such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
21/08/2012

Date of mailing of the international search report
(03/09/2012)

Name and mailing address of the ISA/

Authorized officer
J. Calvo Herrando

OFICINA ESPAÑOLA DE PATENTES Y MARCAS
Paseo de la Castellana, 75 - 28071 Madrid (España)
Facsimile No.: 91 349 53 04

Telephone No. 91 3495578

INTERNATIONAL SEARCH REPORT

International application No.

PCT/ES2012/070363

C (continuation).		DOCUMENTS CONSIDERED TO BE RELEVANT
Category *	Citation of documents, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Charles G. Sodini. "Lecture 25: DC coupling, voltage/current sources and current sinks", 15/05/2007. Massachusetts Institute of Technology, Department of Electrical Engineering and Computer Science; Microelectronic Devices and Circuits, Spring 2007. [retrieved from Internet on 21/08/2012]. <URL: http://web.mit.edu/6.012/www/SP07-L25.pdf >	1-12
A	Charles G. Sodini. "Lecture 26: analyzing complex circuits, Wrap-up", 17/05/2007. Massachusetts Institute of Technology, Department of Electrical Engineering and Computer Science; Microelectronic Devices and Circuits, Spring 2007. [retrieved from Internet on 21/08/2012]. <URL: http://web.mit.edu/6.012/www/SP07-L26.pdf >	1-12

INTERNATIONAL SEARCH REPORT

International application No.

Information on patent family members

PCT/ES2012/070363

Patent document cited in the search report	Publication date	Patent family member(s)	Publication date
US2010116969 A	13.05.2010	WO2008120663 A EP2141803 A EP20080722898 US8222590 B	09.10.2008 06.01.2010 27.03.2008 17.07.2012

EP1357665 AB	29.10.2003	EP20030009431 US2003201382 A US6911644 B KR20030084382 A KR100630083 B JP2003332866 A DE60301685 T	25.04.2003 30.10.2003 28.06.2005 01.11.2003 27.09.2006 21.11.2003 16.03.2006

US5801588 A	01.09.1998	CA2198161 A JP9232877 A JP9260961 A KR100236395 B	24.08.1997 05.09.1997 03.10.1997 15.12.1999

GB2424138 A	13.09.2006	CN1832338 A CN1832338 B US2006202766 A US7265631 B JP2006254462 A JP4896547B2 B	13.09.2006 08.12.2010 14.09.2006 04.09.2007 21.09.2006 14.03.2012

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional nº
PCT/ES2012/070363

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

H03F3/08 (2006.01)

H03F3/345 (2006.01)

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H03F

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

EPODOC, INVENES, WPI

C. DOCUMENTOS CONSIDERADOS RELEVANTES

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones nº
X	US 2010116969 A1 (SUZUKI YASUYUKI) 13/05/2010, párrafos[0017 - 0020]; párrafos[0053 - 0059]; figura 8.	1-12
X	EP 1357665 A2 (SAMSUNG ELECTRONICS CO LTD) 29/10/2003, párrafos[0018 - 0035]; figuras.	1-12
X	GB 2424138 A (AGILENT TECHNOLOGIES INC) 13/09/2006, página 1, línea 1 - página 2, línea 16; página 8, líneas 1 - 27; figuras.	1-12
A	US 5801588 A (NISHIYAMA NAOKI) 01/09/1998, columna 1, línea 40 - columna 3, línea 59; figuras 2-3,8-11 y 15-16.	1-12

En la continuación del recuadro C se relacionan otros documentos

Los documentos de familias de patentes se indican en el anexo

* Categorías especiales de documentos citados:

"A" documento que define el estado general de la técnica no considerado como particularmente relevante.

"E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.

"L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).

"O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.

"P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.

"T" documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.

"X" documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.

"Y" documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.

"&" documento que forma parte de la misma familia de patentes.

Fecha en que se ha concluido efectivamente la búsqueda internacional.
21/08/2012

Fecha de expedición del informe de búsqueda internacional.
03 de septiembre de 2012 (03/09/2012)

Nombre y dirección postal de la Administración encargada de la búsqueda internacional

OFICINA ESPAÑOLA DE PATENTES Y MARCAS

Paseo de la Castellana, 75 - 28071 Madrid (España)

Nº de fax: 91 349 53 04

Funcionario autorizado

J. Calvo Herrando

Nº de teléfono 91 3495578

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional n°

PCT/ES2012/070363

C (Continuación).		DOCUMENTOS CONSIDERADOS RELEVANTES
Categoría *	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones n°
A	<p>Charles G. Sodini. "Lecture 25: DC coupling, voltage/current sources and current sinks", 15/05/2007. Massachusetts Institute of Technology, Department of Electrical Engineering and Computer Science; Microelectronic Devices and Circuits, Spring 2007. [Recuperado de Internet el 21/08/2012]. <URL: http://web.mit.edu/6.012/www/SP07-L25.pdf></p>	1-12
A	<p>Charles G. Sodini. "Lecture 26: analyzing complex circuits, Wrap-up", 17/05/2007. Massachusetts Institute of Technology, Department of Electrical Engineering and Computer Science; Microelectronic Devices and Circuits, Spring 2007. [Recuperado de Internet el 21/08/2012]. <URL: http://web.mit.edu/6.012/www/SP07-L26.pdf></p>	1-12

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional nº

Informaciones relativas a los miembros de familias de patentes

PCT/ES2012/070363

Documento de patente citado en el informe de búsqueda	Fecha de Publicación	Miembro(s) de la familia de patentes	Fecha de Publicación
US2010116969 A	13.05.2010	WO2008120663 A EP2141803 A EP20080722898 US8222590 B	09.10.2008 06.01.2010 27.03.2008 17.07.2012
----- EP1357665 AB	----- 29.10.2003	EP20030009431 US2003201382 A US6911644 B KR20030084382 A KR100630083 B JP2003332866 A DE60301685 T	----- 25.04.2003 30.10.2003 28.06.2005 01.11.2003 27.09.2006 21.11.2003 16.03.2006
----- US5801588 A	----- 01.09.1998	CA2198161 A JP9232877 A JP9260961 A KR100236395 B	----- 24.08.1997 05.09.1997 03.10.1997 15.12.1999
----- GB2424138 A	----- 13.09.2006	CN1832338 A CN1832338 B US2006202766 A US7265631 B JP2006254462 A JP4896547B2 B	----- 13.09.2006 08.12.2010 14.09.2006 04.09.2007 21.09.2006 14.03.2012
-----	-----		-----