

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad  
Intelectual  
Oficina internacional



(43) Fecha de publicación internacional  
21 de Abril de 2005 (21.04.2005)

PCT

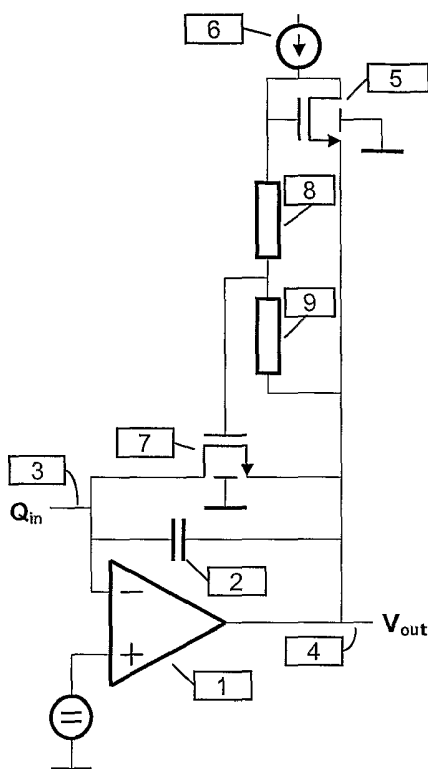
(10) Número de Publicación Internacional  
WO 2005/036738 A1

- (51) Clasificación Internacional de Patentes<sup>7</sup>: H03F 3/70, 3/16
- (21) Número de la solicitud internacional:  
PCT/ES2004/070072
- (22) Fecha de presentación internacional:  
21 de Septiembre de 2004 (21.09.2004)
- (25) Idioma de presentación: español
- (26) Idioma de publicación: español
- (30) Datos relativos a la prioridad:  
P200302363 10 de Octubre de 2003 (10.10.2003) ES
- (71) Solicitante (para todos los Estados designados salvo US):  
CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS [ES/ES]; C/ SERRANO, 117, E-28006 MADRID (ES).
- (72) Inventor; e
- (75) Inventor/Solicitante (para US solamente): RAMOS MARTOS, Juan [ES/ES]; Inst. Microelectrónica de Sevilla, CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS, Avda. Reina Mercedes s/n, E-41012 SEVILLA (ES).
- (81) Estados designados (a menos que se indique otra cosa, para toda clase de protección nacional admisible): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) Estados designados (a menos que se indique otra cosa, para toda clase de protección regional admisible): ARIPO

[Continúa en la página siguiente]

(54) Title: CHARGE-AMPLIFIER ELECTRONIC CIRCUIT

(54) Título: CIRCUITO ELECTRÓNICO AMPLIFICADOR DE CARGA



(57) Abstract: The invention relates to an electronic circuit and to the use thereof in charge amplifiers, such as to provide continuous stabilisation from the operating point thereof. The invention is particularly suitable for integrated circuits in which the provision of high-value resistors is costly in terms of area and introduces significant interferences. The inventive circuit demonstrates that it is possible to construct resistors of more than 100 gigaohms. The invention can be used in the following specific fields: microelectromechanical capacitive sensors, piezoelectric and optical transducers, and for any application that requires the measurement of the accumulated charge or the integration of electric current. The invention can also be used in integrated circuits which require very large time constants, such as analog filters or integrators.

(57) Resumen: El circuito objeto de la presente invención está orientado a su uso en amplificadores de carga, proporcionando una estabilización continua de su punto de operación. La invención es especialmente apropiada para circuitos integrados, en los que la realización de resistencias de alto valor es costosa en área, e introduce parásitos importantes. Mediante el circuito objeto de la presente invención se ha demostrado la posibilidad de construir resistencias de más de 100 gigaohmios. Campos específicos de aplicación son: sensores microelectromecánicos capacitivos, transductores ópticos y piezoeléctricos, y en cualquier aplicación que requiera la medida de carga acumulada o la integración de corriente eléctrica. La invención es igualmente adecuada para su realización en circuitos integrados que necesiten constantes de tiempo muy largas, como integradores o filtros analógicos.

WO 2005/036738 A1



(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europea (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Publicada:**

— *con informe de búsqueda internacional*

*Para códigos de dos letras y otras abreviaturas, véase la sección "Guidance Notes on Codes and Abbreviations" que aparece al principio de cada número regular de la Gaceta del PCT.*

**TITULO****CIRCUITO ELECTRÓNICO AMPLIFICADOR DE CARGA****OBJETO DE LA INVENCION**

5 La invención que se presenta está orientada a su uso en amplificadores de carga, proporcionando una estabilización continua de su punto de operación. La invención proporciona un camino resistivo de muy alta impedancia, en paralelo con el condensador de realimentación del amplificador de carga, permitiendo la descarga de la corriente de fugas presente en el terminal negativo de entrada del amplificador. La  
10 solución es más simple que los métodos precedentes; elimina la necesidad de conmutar la resistencia de realimentación, proporcionando una característica invariante con el tiempo, y permite alcanzar valores más altos de resistencia.

La invención es especialmente apropiada para circuitos integrados, en los que la realización de resistencias de alto valor es costosa en área, e introduce parásitos  
15 importantes. Mediante el circuito objeto de la presente invención se ha demostrado la posibilidad de construir resistencias de más de 100 gigaohmios. Campos específicos de aplicación son: sensores microelectromecánicos capacitivos, transductores ópticos y piezoeléctricos, y en cualquier aplicación que requiera la medida de carga acumulada o la integración de corriente eléctrica. La invención es igualmente adecuada para su  
20 realización en circuitos integrados que necesiten constantes de tiempo muy largas, como integradores o filtros analógicos.

**ESTADO DE LA TECNICA**

La realización de circuitos electrónicos amplificadores de carga se hace normalmente  
25 utilizando como acumulador de carga un condensador conectado entre los terminales de entrada y salida de un amplificador de alta ganancia y alta impedancia de entrada. Para evitar la deriva incontrolada de la salida del amplificador, hay que proporcionar un camino para drenar la corriente de fugas en el nodo conectado a la entrada negativa del amplificador. Esto se consigue normalmente colocando un camino resistivo en paralelo  
30 con el condensador de realimentación. Una forma de realización, evidente para circuitos discretos es usar directamente una resistencia de alto valor; sin embargo, en el caso de circuitos integrados, este tipo de componente es muy difícil de realizar.

Un método precedente para solucionar este problema utiliza un interruptor realizado con un transistor MOS, situado en paralelo con el condensador de realimentación, activado periódicamente para eliminar la carga acumulada debida a las corrientes de fuga. Un inconveniente de esta solución es que durante el intervalo en que el interruptor está  
5 cerrado, se anula la salida del amplificador. Técnicas de condensadores conmutados usando este método, sufren de un aumento del ruido en la salida del amplificador.

Otro método precedente usa un transistor MOS conectado como un diodo. Con un escalado adecuado de sus dimensiones, utilizando transistores muy largos y estrechos, es posible conseguir resistencias de varios megaohmios. Cambios en el valor de la  
10 resistencia, causados por variaciones en el proceso de fabricación y en la temperatura de operación son difíciles de controlar. También, los valores de resistencia que se pueden alcanzar con este método, no son suficientes para algunas aplicaciones recientes, como microsensores capacitivos, en los que los pequeños valores de capacidad que se deben manejar, pueden necesitar valores de resistencia superiores al gigaohmio.

Otro método precedente (Eric M. Hildebrant, "*Charge amplifier device having fully integrated DC stabilization*", patent WO 02086795.) usa dos diodos realizados con transistores MOS, conectados en antiparalelo. Un lado de la pareja de diodos se conecta a la entrada negativa del amplificador, y el otro lado se conecta a un amplificador de error que actúa para anular la diferencia entre un voltaje de referencia y el valor medio  
20 de la salida del amplificador. Este método puede conseguir resistencias elevadas, pero requiere un circuito más complejo que la solución que se propone.

Otro método precedente más reciente (J. A. Geen, S. J. Sherman, J. F. Chang, "*Single-Chip Surface-Micromachined Integrated Gyroscope with 50°/hour Root Allan Variance*", ISSC'2002) utiliza una solución más sencilla, en la que un transistor MOS  
25 conectado como un diodo, es alimentado por su terminal de drenador con una corriente constante de valor muy pequeño, para generar en su terminal de puerta un voltaje muy próximo a su voltaje de umbral. Este voltaje es aplicado a otro transistor MOS, muy largo, del mismo tipo, conectado en paralelo con el condensador de realimentación del amplificador de carga, dando resistencia de canal del orden de decenas de megaohmios.

El terminal de fuente de ambos transistores están conectados al terminal de salida del amplificador. Para incrementar adicionalmente el valor de la resistencia hasta unos dos  
30 gigaohmios, se conmuta el transistor con un porcentaje de activación muy bajo. Esto

produce un circuito con una característica que no es invariante con el tiempo, lo que puede ser un inconveniente en algunas aplicaciones.

El método que se propone mejora el descrito en el apartado anterior, aplicando al transistor conectado en paralelo con la capacidad de realimentación, una fracción del voltaje de puerta del transistor conectado como diodo. Este método elimina la necesidad de conmutar periódicamente el transistor, y ha demostrado la capacidad para generar resistencias de más de 100 gigaohmios en un amplio rango de temperatura. El método propuesto también proporciona una forma para controlar el valor de la resistencia, si se utiliza un divisor de voltaje programable, con varias salidas para seleccionar la atenuación del voltaje que se aplica al transistor.

#### **EXPLICACION DE LA INVENCION**

El objeto de la presente invención es un circuito electrónico amplificador de carga constituido por un amplificador con un nodo de entrada de alta impedancia, y un condensador de realimentación conectado entre los terminales de entrada y salida del amplificador, un primer dispositivo transconductor, al que se le suministra una pequeña corriente, con su terminal de fuente conectado a la salida de dicho amplificador, y con sus terminales de puerta y drenador conectados juntos, para fijar el voltaje en su terminal de puerta a un valor próximo a su tensión de umbral, un segundo dispositivo transconductor conectado entre los terminales de entrada y salida de dicho amplificador. El elemento que caracteriza al circuito de la invención respecto al estado de la técnica anterior es un divisor de voltaje que produce una versión escalada del voltaje puerta-fuente del primer transconductor, que es aplicada al terminal de puerta del segundo transconductor.

El divisor de voltaje está constituido por cualquier combinación de elementos de impedancia fija o variable ó por un número de elementos conectados en serie, con un selector para conectar la puerta del segundo transconductor a uno de los escalones de la cadena del divisor de voltaje. Puede estar realizado con resistencias, transistores MOSFET de cualquier tipo, transistores JFET de cualquier tipo, o cualquier combinación de ellos.

El primer y segundo elementos transconductores están realizados con transistores MOSFET de cualquier tipo, con transistores JFET de cualquier tipo ó con transistores bipolares de cualquier tipo.

El amplificador incluido en el circuito objeto de la presente invención es un amplificador de voltaje ó un amplificador de transconductancia.

El circuito puede realizarse como parte de un circuito integrado y puede incluir además de los elementos referidos anteriormente un circuito que mide el voltaje medio en el terminal de salida del amplificador y ajusta la relación de atenuación del divisor de voltaje, y así variar la resistencia del canal del segundo transconductor, para mantener dicho voltaje medio de salida dentro de límites especificados.

Constituye igualmente objeto de la presente invención el uso del circuito como un amplificador de carga ó como parte de un integrador o filtro con constante de tiempo muy larga.

#### **DESCRIPCIÓN DETALLADA DE LA INVENCION**

La invención (ver figura 1) incluye un amplificador (1) con un terminal de entrada (3) y otro de salida (4), y un condensador (2) conectado entre la entrada y salida del amplificador. Un primer elemento transconductor (5) normalmente un transistor JFET o MOSFET, configurado como un diodo, y con su terminal de fuente conectado a la salida del amplificador (4), es alimentado con una corriente pequeña (6) para producir un voltaje en su terminal de puerta muy cercano a su voltaje de umbral. Un segundo elemento transconductor (7), del mismo tipo que el primero, tiene su terminal de fuente conectado al terminal de salida del amplificador (4) y su terminal de drenador conectado a la entrada negativa del amplificador (3), proporcionando así un canal conductor en paralelo con la capacidad de realimentación (2). La puerta de este segundo elemento transconductor se conecta a un voltaje que es una fracción del presente en la puerta del primer transconductor, generado con un divisor de voltaje (8, 9) de cualquier tipo. La puerta del segundo transconductor estará por debajo de su voltaje de umbral y su canal presentará una resistencia muy alta. La conductividad del canal se puede controlar modificando la atenuación del divisor de voltaje.

El escalado de la tensión de puerta se puede hacer con un divisor de voltaje construido con resistencias o elementos transconductores. El divisor puede estar formado por un número de elementos colocados en serie, formando una cadena, de manera que la resistencia del canal del segundo transconductor se pueda controlar variando el voltaje aplicado a su puerta, mediante la selección del escalón de la cadena que se conecta a su puerta.

El escalado y dimensiones relativas del primer y segundo transistor proporcionan una forma adicional de controlar la resistividad del canal. El primer transistor debe tener preferentemente un canal ancho y corto, mientras que el segundo debe tener un canal largo y estrecho.

- 5 La corriente de fugas resultante del diodo de drenador del segundo transistor se sumará a la corriente de fugas presente en la entrada del amplificador, y producirá una desviación en la tensión de salida del amplificador, proporcional al producto de la corriente de fugas y a la resistencia del canal del segundo transistor. Como la corriente de fugas del diodo aumenta con la temperatura, las restricciones de máxima
- 10 desviación de la tensión de salida del amplificador impondrá un límite a la resistencia máxima del canal. Un dispositivo que mida la desviación promedio del voltaje en la salida del amplificador y que modifique el escalón del divisor resistivo descrito en [11] puede ajustar la resistencia del canal al máximo valor compatible con la máxima desviación en la salida del amplificador. Como el segundo transistor será
- 15 normalmente largo y estrecho, el área de su diodo de drenador y consecuentemente la corriente de fugas asociada, será muy pequeña.

La corriente total que pasa a través del primer transistor y del divisor de voltaje tiene que ser suministrada por la salida del amplificador. Si se utiliza un amplificador de transconductancia, para generar dicha corriente, se debe producir un desplazamiento en

20 el voltaje en la entrada negativa del amplificador igual a dicha corriente, dividida por la transconductancia del amplificador. Al ser la corriente muy baja (del orden de algunos microamperios), este efecto es despreciable en la mayoría de las aplicaciones.

El circuito descrito es especialmente aplicable y está bien adaptado para una realización completamente integrada, ya que resuelve el problema de construir resistencias de muy

25 alto valor en circuitos integrados.

### MÉTODOS DE REALIZACIÓN DE LA INVENCION

La figura 1 muestra la realización básica de la invención. La carga entra por el nodo (3) conectado al terminal negativo de entrada del amplificador (1) y es almacenada en el

30 condensador (2). El voltaje en el terminal de salida del amplificador es proporcional a la carga almacenada en (2). La fuente de corriente (6) proporciona la corriente de polarización para el primer transistor (5) y divisor de voltaje, formado por las impedancias (8) y (9). El voltaje de puerta del transistor (5) estará muy próximo a

su valor de umbral si el dispositivo se ha diseñado con una transconductancia alta. Dicho voltaje de puerta es atenuado por el divisor de voltaje (8, 9), antes de ser aplicado a la puerta del segundo transistor (7). Este segundo transistor, diseñado para tener una transconductancia muy baja, funcionará en su región subumbral, y su canal  
5 presentará una resistencia muy alta en paralelo con el condensador de realimentación (2). El voltaje medio a la salida del amplificador sufrirá un desplazamiento igual al producto de la corriente de fugas total que fluye en el nodo (3) y la resistencia de canal del transistor (7). La conductividad del canal del segundo transistor (7) se puede ajustar variando la atenuación del divisor de voltaje.

10 La figura 2 muestra un ejemplo de una realización alternativa, en la que el voltaje aplicado a la puerta del transistor (7) se puede ajustar usando un divisor de voltaje variable (10), usando por ejemplo un circuito translineal o un potenciómetro controlado digitalmente.

La figura 3 muestra un ejemplo de una realización alternativa en la que el divisor de  
15 voltaje se realiza con dispositivos transconductores (11, 12). La resistividad del canal del transistor (7) se puede ajustar con un dimensionamiento adecuado de la relación de transconductancias de los dispositivos 11 y 12.

La figura 4 muestra un ejemplo de una realización usando una cadena de impedancias (13, 14, 15) proporcionando un número de escalones de voltaje uno de los cuales puede  
20 ser conectado a la puerta del transistor 7.

La figura 5 muestra un ejemplo adecuado para su realización en un circuito integrado, en el que la corriente de polarización (6) se refleja usando los transistores 19 y 20, y donde la cadena del divisor de voltaje se realiza usando transistores MOS (21 a 24), con interruptores (puertas de transmisión) (25 a 28) para seleccionar el escalón de voltaje  
25 que se conecta a la puerta del transistor 7.

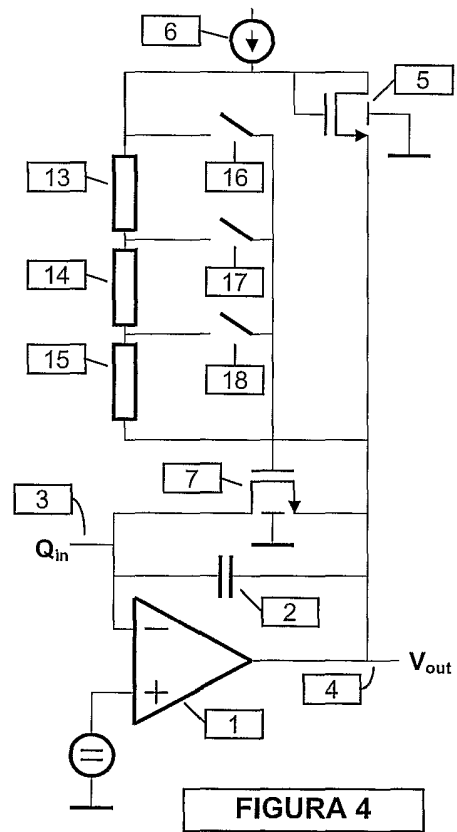
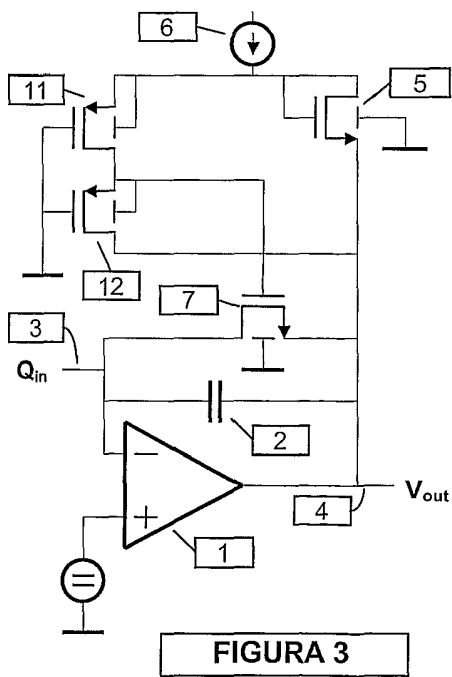
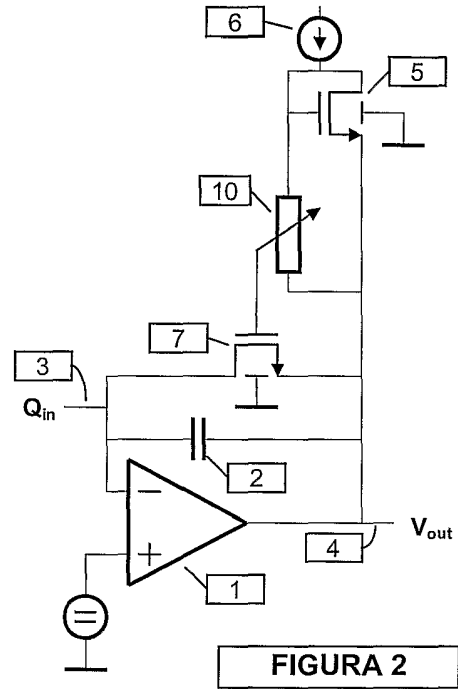
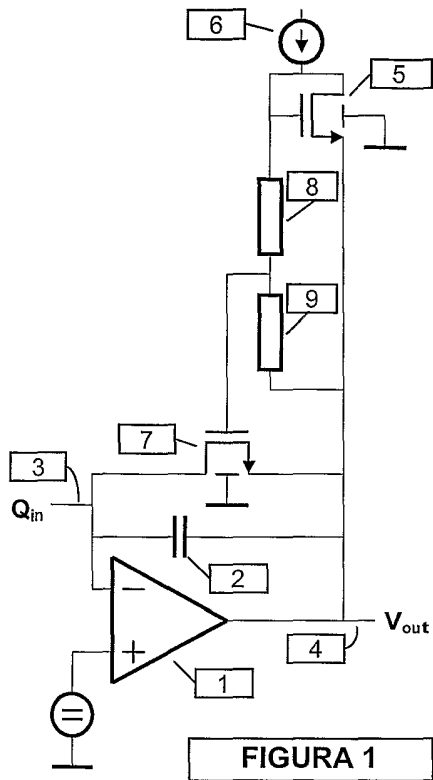
La figura 6 muestra un ejemplo de una realización en la que un circuito (29) detecta el nivel medio de la salida del amplificador (1) y ajusta el divisor de tensión (10) para mantener dicho valor medio dentro de unos límites especificados.



**REIVINDICACIONES**

1. Circuito electrónico amplificador de carga constituido por:
  - un amplificador con un nodo de entrada de alta impedancia, y un condensador de realimentación conectado entre los terminales de entrada y salida del amplificador,
  - 5 - un primer dispositivo transconductor, al que se le suministra una pequeña corriente, con su terminal de fuente conectado a la salida de dicho amplificador, y con sus terminales de puerta y drenador conectados juntos, para fijar el voltaje en su terminal de puerta a un valor próximo a su tensión de umbral,
  - un segundo dispositivo transconductor conectado entre los terminales de entrada  
10 y salida de dicho amplificador,  
caracterizado por que el circuito incorpora:
    - un divisor de voltaje que produce una versión escalada del voltaje puerta-fuente del primer transconductor, que es aplicada al terminal de puerta del segundo transconductor.
  - 15
2. Circuito electrónico amplificador de carga según la reivindicación 1, caracterizado porque el divisor de voltaje está constituido por cualquier combinación de elementos de impedancia fija o variable.
- 20 3. Circuito electrónico amplificador de carga según la reivindicación 1, caracterizado porque el divisor de voltaje está formado por un número de elementos conectados en serie, con un selector para conectar la puerta del segundo transconductor a uno de los escalones de la cadena del divisor de voltaje.
- 25 4. Circuito electrónico amplificador de carga según la reivindicación 1, 2 o 3, caracterizado porque el divisor de voltaje está realizado con resistencias, transistores MOSFET de cualquier tipo, transistores JFET de cualquier tipo, o cualquier combinación de ellos.
- 30 5. Circuito electrónico amplificador de carga según la reivindicación 1, caracterizado porque el primer y segundo elementos transconductores están realizados con transistores MOSFET de cualquier tipo.

6. Circuito electrónico amplificador de carga según la reivindicación 1, caracterizado porque el primer y segundo elementos transconductores están realizados con transistores JFET de cualquier tipo.
- 5 7. Circuito electrónico amplificador de carga según la reivindicación 1, caracterizado porque el primer y segundo elementos transconductores están realizados con transistores bipolares de cualquier tipo.
8. Circuito electrónico amplificador de carga según la reivindicación 1 caracterizado  
10 porque el amplificador es un amplificador de voltaje.
9. Circuito electrónico amplificador de carga según la reivindicación 1 caracterizado porque el amplificador es un amplificador de transconductancia.
- 15 10. Circuito electrónico amplificador de carga según la reivindicación 1, realizado como parte de un circuito integrado.
11. Circuito electrónico amplificador de carga según la reivindicación 1, caracterizado porque incluye un circuito que mide el voltaje medio en el terminal de salida del  
20 amplificador y ajusta la relación de atenuación del divisor de voltaje, y así varía la resistencia del canal del segundo transconductor, para mantener dicho voltaje medio de salida dentro de límites especificados.
12. Utilización del circuito electrónico amplificador de carga según las reivindicaciones  
25 1 a 11 como un amplificador de carga.
13. Utilización del circuito electrónico amplificador de carga según las reivindicaciones 1 a 11 como parte de un integrador o filtro con constante de tiempo muy larga.



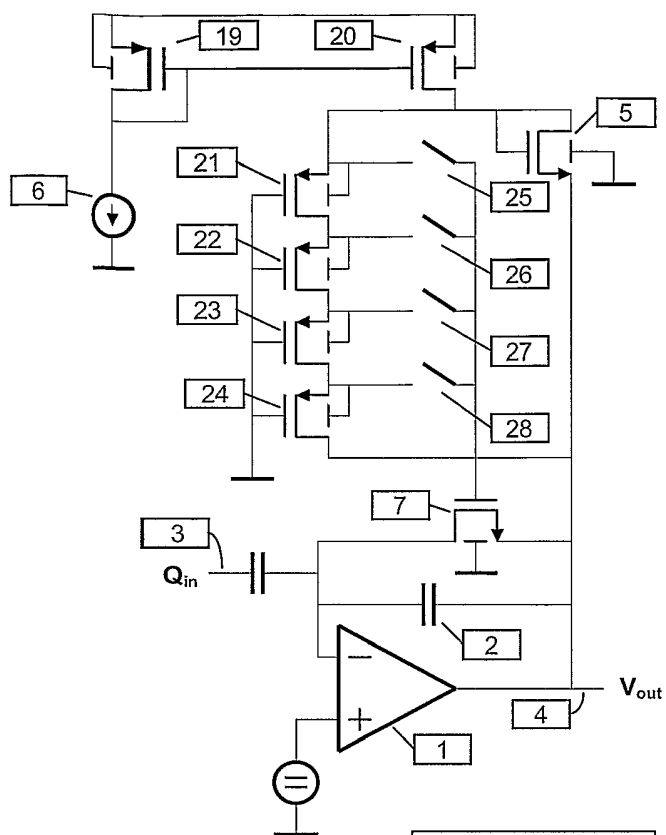


FIGURA 5

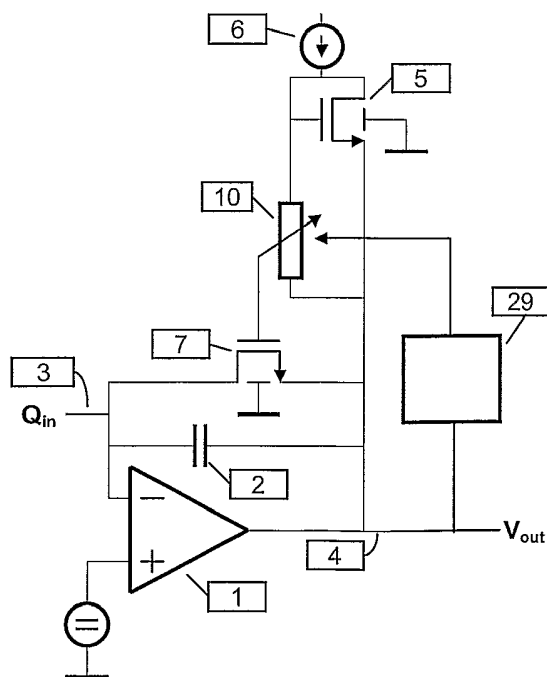


FIGURA 6

**INTERNATIONAL SEARCH REPORT**

International application No.

**PCT/ ES 2004/070072**

**A. CLASSIFICATION OF SUBJECT MATTER**

**IPC7 H 03 F 3 / 70 , 3 / 16.**

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

**IPC7<sup>7</sup> H 03 F 3 / 70 , 3 / 16.**

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CIBEPAT, EPODOC, WPI, PAJ, XPESP, INSPEC.

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| A         | GEEN J. A. et al.:"Single-chip surface-micromachined integrated gyroscope with 50[deg.]/hour root Allan deviation".Publicado por: IEEE Journal of Solid-State Circuits. IEEE , USA , <b>December 2002</b> Vol. 37, n° 12 , <b>pages</b> 860-1866. ISSN 0018-9200. | 1-13.                 |
| A         | WO 02086795 A1 (The Charles Stark Draper Laboratory , Inc.) 31.10.2002 , <b>The whole document</b>  | 1-13.                 |
| A         | US 5347231 A (Bertuccio et al.) 13.09.1994 , <b>The whole document</b>  | 1-13.                 |

Further documents are listed in the continuation of Box C.       See patent family annex.

\* Special categories of cited documents:

|  |   |
|--|---|
| <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier document but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> | <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p> |
|--|---|

|   |   |
|---|---|
| Date of the actual completion of the international search<br><b>23 December 2004 (23.12.2004)</b> | Date of mailing of the international search report<br><b>13 January 2005 (13.01.2005)</b> |
|---|---|

|   |                    |
|---|--------------------|
| Name and mailing address of the ISA/<br><b>S.P.T.O.</b> | Authorized officer |
| Facsimile No.   | Telephone No.      |

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No

PCT/ ES 2004/070072

| Patent document<br>cited in search report | Publication<br>date | Patent family<br>member(s) | Publication<br>date |
|---|---------------------|----------------------------|---------------------|
| WO02086795 A                              |                     | 31.10.2002                 | NONE -----          |
| US5347231 A                               |                     | 13.09.1994                 | NONE -----          |

# INFORME DE BUSQUEDA INTERNACIONAL

Solicitud internacional n°

PCT/ ES 2004/070072

## A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

CIP<sup>7</sup> H 03 F 3 / 70 , 3 / 16.

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y la CIP.

## B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

CIP<sup>7</sup> H 03 F 3 / 70 , 3 / 16.

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

CIBEPAT, EPODOC, WPI, PAJ, XPESP, INSPEC.

## C. DOCUMENTOS CONSIDERADOS RELEVANTES

| Categoría* | Documentos citados, con indicación, si procede, de las partes relevantes  | Relevante para las reivindicaciones n° |
|------------|---|--|
| A          | GEEN J. A. et al.: "Single-chip surface-micromachined integrated gyroscope with 50[deg.]/hour root Allan deviation". Publicado por: IEEE Journal of Solid-State Circuits. IEEE, USA, Diciembre 2002, Vol. 37, n° 12, páginas 1860-1866. ISSN 0018-9200. | 1-13.                                  |
| A          | WO 02086795 A1 (The Charles Stark Draper Laboratory, Inc.) 31.10.2002, todo el documento.   | 1-13.                                  |
| A          | US 5347231 A (Bertuccio et al.) 13.09.1994, todo el documento.  | 1-13.                                  |

En la continuación del recuadro C se relacionan otros documentos

Los documentos de familias de patentes se indican en el anexo

|  |     |  |
|--|-----|--|
| * Categorías especiales de documentos citados:   | "T" | documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.     |
| "A" documento que define el estado general de la técnica no considerado como particularmente relevante.  | "X" | documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.  |
| "E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.   | "Y" | documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia. |
| "L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada). | "&" | documento que forma parte de la misma familia de patentes.   |
| "O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.   |     |  |
| "P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.   |     |  |

Fecha en que se ha concluido efectivamente la búsqueda internacional.

23.12.2004

Fecha de expedición del informe de búsqueda internacional

13 ENE 2005 13.01.2005

Nombre y dirección postal de la Administración encargada de la búsqueda internacional

O.E.P.M.

C/Panamá 1, 28071 Madrid, España.

N° de fax 34 91 3495304

Funcionario autorizado

J. Botella Maldonado

N° de teléfono + 34 91 349 5382

# INFORME DE BUSQUEDA INTERNACIONAL

Información relativa a miembros de familias de patentes

Solicitud internacional n°

PCT/ ES 2004/070072

| Documento de patente citado en el informe de búsqueda | Fecha de publicación | Miembro(s) de la familia de patentes | Fecha de publicación |
|---|----------------------|--------------------------------------|----------------------|
| WO02086795 A  | 31.10.2002           | NINGUNO                              | -----                |
| US5347231 A   | 13.09.1994           | NINGUNO                              | -----                |