

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad  
Intelectual  
Oficina internacional



(43) Fecha de publicación internacional  
30 de Mayo de 2003 (30.05.2003)

PCT

(10) Número de Publicación Internacional  
WO 03/044551 A1

(51) Clasificación Internacional de Patentes<sup>7</sup>: G01R 31/36,  
19/25

CIENTÍFICAS [ES/ES]; C/Serrano, 117, 28006 Madrid (ES). UNIVERSIDAD DE SEVILLA [ES/ES]; C/Valparaíso, 5 - 3º, 41013 Sevilla (ES).

(21) Número de la solicitud internacional: PCT/ES02/00533

(22) Fecha de presentación internacional:  
15 de Noviembre de 2002 (15.11.2002)

(72) Inventores; e

(75) Inventores/Solicitantes (para US solamente):  
VAZQUEZ GARCIA DE LA VEGA, Diego [ES/ES]; Universidad de Sevilla, C/Valparaíso, 5 - 3º, 41013 Sevilla (ES). LEGER, Gildas [ES/ES]; Insto. Microelectrónica Sevilla (IMS-CNM), Consejo Superior de Investigaciones Científicas, Avda. Reina Mercedes, S/n - Edif. CICA, 41012 Sevilla (ES). HUERTAS SÁNCHEZ, Gloria [ES/ES]; Insto. Microelectrónica Sevilla (IMS-CNM), Consejo Superior de Investigaciones Científicas, Avda. Reina Mercedes, S/n - Edif. CICA, 41012 Sevilla (ES). HUERTAS DIAZ, José, Luis [ES/ES]; Universidad de Sevilla, C/Valparaíso, 5 - 3º, 41013 Sevilla (ES).

(25) Idioma de presentación: español

(26) Idioma de publicación: español

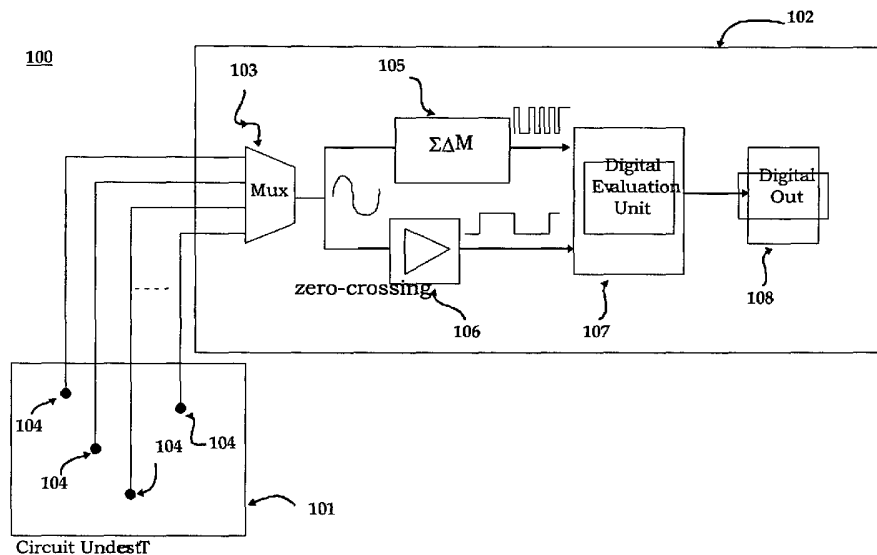
(30) Datos relativos a la prioridad:  
P200102560  
19 de Noviembre de 2001 (19.11.2001) ES

(71) Solicitantes (para todos los Estados designados salvo US): CONSEJO SUPERIOR DE INVESTIGACIONES

[Continúa en la página siguiente]

(54) Title: DEVICE AND METHOD FOR MEASURING PARAMETERS OF PERIODIC OSCILLATORY SIGNALS

(54) Título: DISPOSITIVO Y PROCEDIMIENTO PARA LA MEDIDA DE PARÁMETROS DE SEÑALES OSCILATORIAS PERIÓDICAS



(57) Abstract: The invention relates to a device and method for measuring parameters of periodic oscillatory signals. Said device comprises a sigma-delta modulator and a zero-crossing detector. The inventive method employs the aforementioned device and comprises the following steps: a) the periodic oscillatory signal, of which the parameters are to be measured, is introduced into the sigma-delta modulator and into the zero-crossing detector; b) said signal is coded in the sigma-delta modulator into pulses of ones and zeros and a synchronisation signal is generated using the zero-crossing detector; and c) the signals obtained in step b) are processed in a synchronised manner using digital processing circuits. The invention is suitable for use in the field of analogue and mixed integrated circuits. More specifically, the invention can be used to evaluate and test analogue signals by extracting oscillatory parameters using digital technology.

[Continúa en la página siguiente]



WO 03/044551 A1



(74) **Mandatario:** REPRESA SÁNCHEZ, Domingo; Consejo Superior de Investigaciones Científicas, Oficina de Transferencia de Tecnología, C/Serrano, 113 - 2ª planta, 28006 Madrid (ES).

(81) **Estados designados (nacional):** AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Estados designados (regional):** patente ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), patente euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), patente europea (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), patente OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Publicada:**

— con informe de búsqueda internacional

Para códigos de dos letras y otras abreviaturas, véase la sección "Guidance Notes on Codes and Abbreviations" que aparece al principio de cada número regular de la Gaceta del PCT.

---

(57) **Resumen:** El objeto de la presente invención es un dispositivo para la medida de parámetros de señales oscilatorias periódicas que comprende un modulador sigma-delta y un detector de cruce por cero. Constituye otro objeto de la presente invención un procedimiento para la medida de parámetros de señales oscilatorias periódicas mediante dicho dispositivo que comprende las etapas de: a) introducción en el modulador sigma-delta y en el detector de cruce por cero de la señal oscilatoria periódica cuyos parámetros se van a medir; b) codificación de dicha señal en el modulador sigma-delta en pulsos de unos y ceros y generación de una señal de sincronización mediante el detector de cruce por cero; c) procesado sincronizado de las señales obtenidas en la etapa anterior mediante circuitos de procesado digital. La invención es de aplicación en el campo de los circuitos integrados analógicos y mixtos, y más concretamente, con la evaluación y test de señales analógicas mediante la extracción de parámetros oscilatorios usando técnicas digitales.

**TITULO**

Dispositivo y procedimiento para la medida de parámetros de señales oscilatorias periódicas

**5 CAMPO DE LA INVENCION**

Esta invención está relacionada con el campo de los circuitos integrados analógicos y mixtos, y más concretamente, con la evaluación y test de señales analógicas mediante la extracción de parámetros oscilatorios usando técnicas digitales.

10

**OBJETO DE LA INVENCION**

Un objeto de la presente invención lo constituye un dispositivo para la medida de parámetros de señales oscilatorias periódicas que comprende un modulador sigma-delta y un detector de cruce por cero.

15 Constituye otro objeto de la presente invención un procedimiento para la medida de parámetros de señales oscilatorias periódicas mediante dicho dispositivo que comprende las etapas de:

- a) introducción en el modulador sigma-delta y en el detector de cruce por cero de la señal oscilatoria periódica cuyos parámetros se van a medir.
- 20 b) codificación de dicha señal en el modulador sigma-delta en pulsos de unos y ceros y generación de una señal de sincronización mediante el detector de cruce por cero.
- c) procesado sincronizado de las señales obtenidas en la etapa anterior mediante circuitos de procesado digital.

25

## ANTECEDENTES DE LA INVENCION

La complejidad de los circuitos integrados ha crecido enormemente a lo largo de los años, gracias en parte al desarrollo alcanzado en las tecnologías de integración, llegando hoy en día a integrar sistemas completos en un mismo chip. Dichos circuitos complejos pueden contener tanto circuitos analógicos como digitales, e incluso ambos (circuitos mixtos). Sin embargo, la verificación y testado de este tipo de circuitos se ha convertido en uno de los principales cuellos de botella para su desarrollo. El motivo de ello es que a medida que crece la complejidad de un circuito, su testado se hace cada vez más difícil y costoso. Si bien el testado de circuitos digitales ha experimentado grandes avances, con estrategias de test y verificación bien definidas y aceptadas tanto por la comunidad científica como por la industria, no ha ocurrido desgraciadamente lo mismo en la contrapartida analógica.

Así pues, el test analógico se ha convertido en uno de los principales problemas para el desarrollo de circuitos complejos. Los métodos tradicionales de test analógico consisten en el chequeo exhaustivo de las características funcionales, es decir, en realizar medidas de parámetros que pueden llegar a ser muy variados en función del tipo de circuito (amplificadores, osciladores, filtros, comparadores, convertidores analógico-digitales, etc.) y con una precisión que suele depender del tipo de aplicación. Para llevarlo a cabo, es necesario el uso de equipos de test que son enormemente costosos. Por otro lado, dichos métodos tradicionales no son fáciles de aplicar, cuando no imposibles, en todos los estadíos de la vida del circuito en el que es necesario y/o conveniente realizar un testado del circuito (wafer level, test de producción, test on-line, operación en campo y mantenimiento, etc.).

Una manera clara de aliviar los problemas anteriormente citados es mediante el desarrollo de técnicas de test y evaluación, suficientemente efectivas y simples para reducir la complejidad y tiempo requerido para el testado. Además, si dicha estrategia es lo suficientemente simple como para que su implementación dentro del propio chip sea factible, no cabe duda de que existiría un valor añadido en este sentido.

En esta línea, la experiencia ganada de los avances en test digital invita a desarrollar estrategias de test basadas en las propiedades estructurales de los circuitos y a explorar alternativas Built-In-Self-Test (BIST). Una de las soluciones en esta línea que ha focalizado un gran interés por parte de la comunidad científica, es el denominado Test Basado en Oscilación (OBT del inglés Oscillation-Based-Test) y que fue propuesta por Kaminska y otros en US6005407. La idea se basa en convertir el Circuito Bajo Test (CUT, del inglés Circuit Under Test) en un oscilador durante la fase de test de modo que la frecuencia de oscilación esté directamente relacionada con el comportamiento del circuito durante el modo normal de operación. Entre las principales ventajas que la aplicación de esta técnica presenta, cabe destacar las siguientes:

- a) La circuitería necesaria para la implementación de la técnica suele ser muy simple, por lo que su aplicación suele requerir un esfuerzo de diseño mínimo y un coste muy reducido.
- b) Los estímulos de test son generados internamente por el propio circuito. Por tanto, supone una alternativa BIST en este sentido que no requiere el uso ni de circuitería extra, ni equipamiento externo para la generación de los estímulos de test.
- c) Puede ser aplicada a muchos tipos de circuito que suelen tener una amplia variedad de especificaciones diferentes (convertidores A/D y D/A, filtros, etc.), suponiendo por tanto, una estandarización de los mecanismos de test para circuitos analógicos y mixtos.
- d) Los parámetros de test a medir son también estándares, independientemente del tipo de circuito y de su aplicación, por cuanto se ven reducidos a los parámetros oscilatorios.
- e) En el caso de circuitos analógicos y mixtos complejos, éstos pueden dividirse en bloques a diferentes niveles (filtros, amplificadores, comparadores, etc.) a los que la técnica puede aplicarse separadamente.

Algunos trabajos reportados sobre la aplicación de la técnica OBT son los siguientes:

- 1 K. Arabi and B. Kaminska. "Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits". *Proc. of VLSI Test Symposium*, 1996, pp. 476-482.
- 5 2 K. Arabi, B. Kaminska. "Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method". *Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 16, no. 7, July 1997.
- 3 K. Arabi, B. Kaminska. "Oscillation-Test Methodology for Low-Cost Testing of Active Analog Filters" *Transaction on Instrumentation and Measurements*,  
10 vol. 48, no. 4, pp. 798-806, Aug. 1999.
- 4 Hassan IHS, K. Arabi, B. Kaminska. "Testing Digital to Analog Converters Based on Oscillation-Test Strategy Using Sigma-delta Modulation". *Proc. of International Conference on Computer Design (ICCD 98)*, Oct. 1998.
- 5 G. Huertas, D. Vazquez, A. Rueda, J.L. Huertas: "Oscillation-based Test  
15 Experiments in Filters: A DTMF Example", *Int. Mixed-signal Test Workshop*, pp. 249-253, Whistler, June 1999.
- 6 G. Huertas, D. Vazquez, A. Rueda, J.L. Huertas: "Effective Oscillation-Based Test for application to a DTMF Filter Bank". *Proc. IEEE Int. Test Conference*, Sept. 1999, pp. 549-555.

20 Con respecto a los parámetros que son necesarios medir, se ha demostrado que, a diferencia de la propuesta original de Kaminska y otros en US6005407 (y artículos [1], [2], [3]), la frecuencia de oscilación puede no ser suficiente para obtener un cubrimiento de fallos razonable. Sin embargo, dicho cubrimiento de fallos aumenta drásticamente cuando se añade la amplitud como parámetro de  
25 test (artículos [5] y [6]). Incluso, ello tiene además la ventaja de que la precisión necesaria en las medidas pueden relajarse en gran medida cuando ambos, amplitud y frecuencia, se utilizan como parámetros de test. Además, la calidad del testado puede mejorarse aún más añadiendo otros parámetros de test

extraídos de las oscilaciones, tales como el nivel de DC de las señales, su distorsión, etc.

Por tanto, uno de los puntos esenciales que complementan la técnica de test basado en oscilación consiste en dar un soporte para la medida de los parámetros de oscilación. Sería preferible incluso la codificación digital de la información, ya que ello tendría grandes ventajas. Por un lado, la evaluación podría realizarse on-chip mediante circuitería de procesado digital, o bien externamente (off-chip) pero con equipos púramente digitales. Se evitan así los costosos equipos de test analógicos y/o mixtos y la necesidad de transportar la señales analógicas hasta los pines de entrada/salida.

Diversos trabajos anteriores podrían ser aplicados para los propósitos planteados. Por ejemplo, Roh y Abraham proponen en el artículo,

7 J. Roh and J. Abraham. "A Comprehensive TDM Comparator Scheme for Effective Analysis of Oscillation-based Test". *Proc. IEEE VTS*, April 2000, pp143-148.

una estrategia de evaluación on-chip basada en un esquema de comparación de la señal de oscilación con diversos valores de referencia (multiplexados en el tiempo). De esta manera, la señal presenta una firma digital a la salida del comparador que puede ser utilizada para, comparada con el resultado esperado en condiciones de funcionamiento libre de fallos, establecer un mecanismo de decisión de si el circuito opera o no correctamente. Sin embargo, esta solución no realiza una medida directa de los parámetros de oscilación, sino que se basa en una medida indirecta a través de la firma.

25 Una invención que, aunque con un propósito más general también puede ser aplicada, es la presentada en US006134505 por Malcolm Harold Smith. Dicha invención propone el uso de un modulador sigma-delta para obtener on-chip una versión codificada digitalmente de las señales analógicas. Dicha versión digital de la señal puede ser entonces procesada off-chip mediante equipos púramente digitales, o bien on-chip mediante el uso de procesadores digitales. Sin embargo, esta invención presenta diversos inconvenientes. Por un lado, el

procesado on-chip requiere una circuitería digital compleja (decimación, filtrado, unidades aritméticas, etc.), que si no está disponible, puede suponer un gasto extra considerable en términos de área, potencia y de esfuerzo de diseño. Por otro lado, el procesamiento requiere la adquisición de un gran número de  
5 secuencias de la señal, lo que puede significar un tiempo de test grande.

De acuerdo con todo lo anterior, existe la necesidad de desarrollar un procedimiento y una circuitería para la extracción de parámetros oscilatorios de una señal analógica que alivie los problemas de los métodos anteriores que forman parte del estado-del-arte.

10 En la presente invención, el uso de un modulador sigma-delta y de un detector de cruce por cero son los elementos claves para obtener una información, digitalmente codificada, que permite la extracción de los parámetros de oscilación mediante un procesado digital muy simple que, por ello, puede ser integrado on-chip a un coste mínimo. Obviamente, aunque la  
15 invención tiene una relevancia directa en la aplicación del test basado en oscilación, no cabe duda de que se uso puede representar grandes ventajas en otros contextos de aplicación, como por ejemplo, en la generación de señales para el control de los parámetros de oscilación.

20

### **EXPLICACIÓN DE LA INVENCION**

Un objeto de la presente invención lo constituye un dispositivo para la medida de parámetros de señales oscilatorias periódicas que comprende un modulador sigma-delta y un detector de cruce por cero. El modulador utilizado es  
25 preferentemente un modulador sigma-delta de primer orden. Opcionlamente, el dispositivo incluye una unidad de generación de al menos una señal de control de dichos parámetros de señales oscilatorias periódicas.

Constituye otro objeto de la presente invención un procedimiento para la medida de parámetros de señales oscilatorias periódicas mediante dicho  
30 dispositivo que comprende las etapas de:

d) introducción en el modulador sigma-delta y en el detector de cruce por cero de la señal oscilatoria periódica cuyos parámetros se van a medir.



e) codificación de dicha señal en el modulador sigma-delta en pulsos de unos y ceros y generación de una señal de sincronización mediante el detector de cruce por cero.

5 f) procesado sincronizado de las señales obtenidas en la etapa anterior mediante circuitos de procesado digital.

Los parámetros de señales oscilatorias periódicas que se miden son la amplitud, la frecuencia, el offset, la distorsión o combinaciones de los mismos. La etapa de pro-cesado sincronizado de las señales puede realizarse on-chip ó externamente.

10 Las señales oscilatorias periódicas cuyos parámetros se miden pueden proceder de aplicar un test basado en oscilación a circuitos al menos parcialmente analógicos.

Opcionalmente, el procedimiento incluye una etapa de generación de al menos una señal de control de dichos parámetros de señales oscilatorias periódicas.

15

### **BREVE DESCRIPCIÓN DE LAS FIGURAS**

La presente invención puede entenderse de forma más completa a través de los siguientes dibujos y de su descripción:

20 FIG1: Muestra un diagrama de bloques para la evaluación de parámetros oscilatorios de señales analógicas según la presente invención.

FIG2: Muestra una posible implementación de la circuitería para la extracción de los parámetros de oscilación, según la invención, a partir de la salida del modulador y del detector de cruce por cero.

25 FIG3: Muestra otro ejemplo de aplicación de la invención para la decisión on-chip del resultado del test.

### **DESCRIPCIÓN DETALLADA DE LA INVENCION**

30 La presente invención consiste en un dispositivo y un procedimiento para la extracción de los parámetros oscilatorios de una señal analógica. La señal que se propone evaluar se conecta a la entrada de un modulador sigma-delta y a la de un detector de cruce por zero. El primero proporciona una versión codificada digitalmente de la señal, mientras que el segundo proporciona información

sobre el signo de la señal y de cuándo se producen los cambios. El conjunto de ambas salidas proporcionan, de forma digital, la información necesaria para la extracción de los parámetros de oscilación. Puede comprobarse que las características de frecuencia, amplitud y offset (nivel de DC desviado respecto a un nivel de referencia) de una señal oscilatoria están directamente relacionadas con el área encerrada bajo la curva en un semiperiodo y/o periodo de la señal, y el número de muestras de la señal que toma el modulador en un periodo de la misma. La salida del modulador es una versión digital de la señal a evaluar en forma de una cadena de 1's y 0's. El cómputo del área sobre esta versión digital no consiste más que en las cuentas del número de 1's y 0's entre cruces por cero de la señal y en unas operaciones aritméticas simples de los resultados. En cuanto a la distorsión, puede comprobarse que una medida relativa de la misma se obtiene de los resultados intermedios en el cómputo del área, ya que la forma de la señal tiene una influencia decisiva en la manera en que dicho cómputo va variando.

Como elemento complementario de todo lo anterior, la evaluación llevada a cabo sobre varios periodos de la señal puede proporcionar, desde el punto de vista estadístico, una información adicional. Dicha información también puede ser utilizada para, por ejemplo, usar como parámetros el valor medio de los mismos (en vez de o además de los obtenidos periodo a periodo), etc.

Las ventajas de la presente invención son claras. Por un lado, permite un procesado puramente digital para la extracción de los parámetros de oscilación. La simplicidad y robustez de la circuitería necesaria para su implementación permite su inclusión dentro del propio chip. No necesita el muestreo de largas secuencias de la señal a evaluar, sino que las medidas se obtienen por periodos de la señal. Por otro lado, cuando se aplica a procesos de test, la detección de fallos en el funcionamiento del circuito bajo test puede llevarse a cabo mediante la comparación de los resultados obtenidos con los esperados, lo cual también es factible de ser implementado dentro del propio circuito, dando lugar entonces a un esquema completo de test integrado (BIST). Además, la presente invención tiene la ventaja de que puede ser usada para

monitorizar distintos puntos internos del circuito, con efectos de carga muy limitados y, en cualquier caso, significando un alivio importante para el diseño de los buffers necesarios en puntos sensibles del circuito. Más aún, puesto que la información de las señales de test que contienen la información sobre el resultado de la evaluación están digitalmente codificados, el test de la parte analógica puede hacerse totalmente compatible con el test de la parte digital en el caso de los circuitos mixtos. Por tanto, todos estos factores hacen la presente invención muy adecuada para circuitos analógicos y/ o mixtos sin necesidad de que contengan una circuitería de procesado digital compleja.

10 La presente invención es especialmente adecuada para su integración on-chip en aquellos circuitos púramente analógicos y/o mixtos que hayan sido diseñados para una estrategia de test basada en oscilaciones. Sin embargo, es claro que el uso de la invención no queda limitado a tales aplicaciones.

La FIG1 muestra un ejemplo a nivel de diagrama de bloques de un circuito 100 que es testado según la presente invención. Dicho circuito 100 consta del circuito bajo test 101, y de la circuitería de evaluación 102. Opcionalmente, la presente invención contempla el uso un multiplexor 103 para seleccionar señales presentes en distintos puntos internos 104 del circuito bajo test. La señal seleccionada es aplicada a un modulador sigma-delta 105 y a un detector de cruce por cero 106. El modulador 105 transforma la señal a evaluar en una cadena de 1's y 0's que conforman una representación digital de dicha señal. Por su parte, el detector de cruce por cero 106 genera una señal digital que contiene la información acerca del signo de la señal a evaluar y de cuándo se producen los cambios en el mismo. Ambas señales generadas pueden ser directamente transportadas off-chip para su procesado u opcionalmente, aplicadas a una circuitería digital interna 107 que se encarga de extraer los parámetros oscilatorios mediante el procesado de los 1's y 0's suministrados por el modulador 105 en concordancia con la información del signo de la señal que suministra el detector de cruce por cero 106. La información codificada acerca de dichos parámetros son entonces opcionalmente enviadas a una circuitería digital 108 que es la encargada de transportar los resultados off-chip.

Los parámetros de oscilación están directamente relacionados con el área encerrada bajo la curva descrita por la señal a evaluar. El cómputo de dicha área se realiza en el dominio digital, según la presente invención, mediante el procesamiento digital de la cadena de 1's y 0's suministrados por la salida del modulador 105 de forma sincronizada con los cambios de signo de la señal, cuya información proporciona la salida del detector de cruce 106. Así, la circuitería 107 para la extracción de los parámetros de oscilación puede implementarse de diversas maneras, como por ejemplo, mediante máquinas secuenciales finitas (FSM's), contadores y operadores aritméticos simples, etc.

10

### **MODO DE REALIZACIÓN DE LA INVENCION**

Así, el ejemplo de la FIG2 se refiere a una posible implementación de la circuitería de procesamiento digital usando como entradas las salidas del modulador 105 y del detector de cruce por cero 106. Dicha circuitería 200 consta de dos contadores 201 y 202, y de una circuitería 203 que implementa diversos operadores aritméticos simples que proporciona como resultado, al final de cada fase de evaluación, unos números 204 codificados digitalmente que están directamente relacionados con los parámetros oscilatorios de la señal. El contador 201 se encarga de contar el número de 1's. Otro contador 202 hace lo mismo con el número de 0's. Ambos contadores, 201 y 202 se inicializan y activan de forma sincronizada con las transiciones de la señal de salida del detector de cruce 106. El bloque 203 transforma la información suministrada por los contadores 201 y 202, junto con la información del signo de la señal proporcionado por la salida del detector de cruce por cero 106 en números 204 digitalmente codificados que representan los valores obtenidos en la evaluación de los parámetros oscilatorios (amplitud, frecuencia, offset, distorsión, etc.).

La FIG3 muestra otro ejemplo de aplicación de la invención que proporciona on-chip un esquema de testado completo. Un circuito 301 contiene una señal 302 aplicada a un detector de cruce por cero 303 (que forma parte de la configuración del propio circuito) que es aplicada a un modulador sigma-delta

304 de acuerdo con la invención. En este caso, no es necesario el uso de un detector de cruce por cero adicional puesto que la información del signo de la señal la proporciona el propio circuito a la salida 305 del detector de cruce 303. La salida 306 del modulador 304 junto con la señal 305 de salida del detector de cruce 303 son aplicadas a una circuitería de evaluación 307 según la invención. Por otro lado, la información de los resultados esperados en el procesado de la señal 302 se encuentra almacenada en un elemento de memoria 308. Así, el uso de un mecanismo de comparación 309 aplicado a los resultados obtenidos del procesado según la invención y de los resultados esperados permite la integración total del proceso de test. En este sentido, puede observarse claramente las ventajas de la invención cuando se aplica test basado en oscilación, donde el estímulo de test es generado por el propio circuito, ya que permite la integración total del esquema de testado (BIST).

**REIVINDICACIONES**

- 1.- Dispositivo para la medida de parámetros de señales oscilatorias periódicas caracterizado porque comprende un modulador sigma-delta y un detector de cruce por cero.
- 5
- 2.- Dispositivo para la medida de parámetros de señales oscilatorias periódicas según la reivindicación 1, caracterizado porque el modulador utilizado es un modulador sigma-delta de primer orden
- 10
- 3.- Dispositivo para la medida de parámetros de señales oscilatorias periódicas según las reivindicaciones 1 y 2, caracterizado porque el dispositivo incluye una unidad de generación de al menos una señal de control de dichos parámetros de señales oscilatorias periódicas.
- 15
- 4.- Procedimiento para la medida de parámetros de señales oscilatorias periódicas mediante un dispositivo según las reivindicaciones 1 y 2 , caracterizado porque comprende las etapas de:
- g) introducción en el modulador sigma-delta y en el detector de cruce por cero de la señal oscilatoria periódica cuyos parámetros se van a medir.
- 20
- h) codificación de dicha señal en el modulador sigma-delta en pulsos de unos y ceros y generación de una señal de sincronización mediante el detector de cruce por cero.
- i) procesado sincronizado de las señales obtenidas en la etapa anterior mediante circuitos de procesado digital.
- 25
- 5.- Procedimiento para la medida de parámetros de señales oscilatorias periódicas según la reivindicación 4, caracterizado porque los parámetros de señales oscilatorias periódicas que se miden son la amplitud, la frecuencia, el offset, la distorsión o combinaciones de los mismos.

6.- Procedimiento para la medida de parámetros de señales oscilatorias periódicas según las reivindicaciones 4 y 5, caracterizado porque el procesado sincronizado se realiza on-chip.

5 7.- Procedimiento para la medida de parámetros de señales oscilatorias periódicas según las reivindicaciones 4 y 5, caracterizado porque el procesado sincronizado se realiza externamente.

10 8.- Procedimiento para la medida de parámetros de señales oscilatorias periódicas según las reivindicaciones 4-7, caracterizado porque las señales oscilatorias periódicas cuyos parámetros se miden proceden de aplicar un test basado en oscilación a circuitos al menos parcialmente analógicos.

15 9.- Procedimiento para la medida de parámetros de señales oscilatorias periódicas mediante un dispositivo según la reivindicación 3, caracterizado porque incluye una etapa de generación de al menos una señal de control de dichos parámetros de señales oscilatorias periódicas.

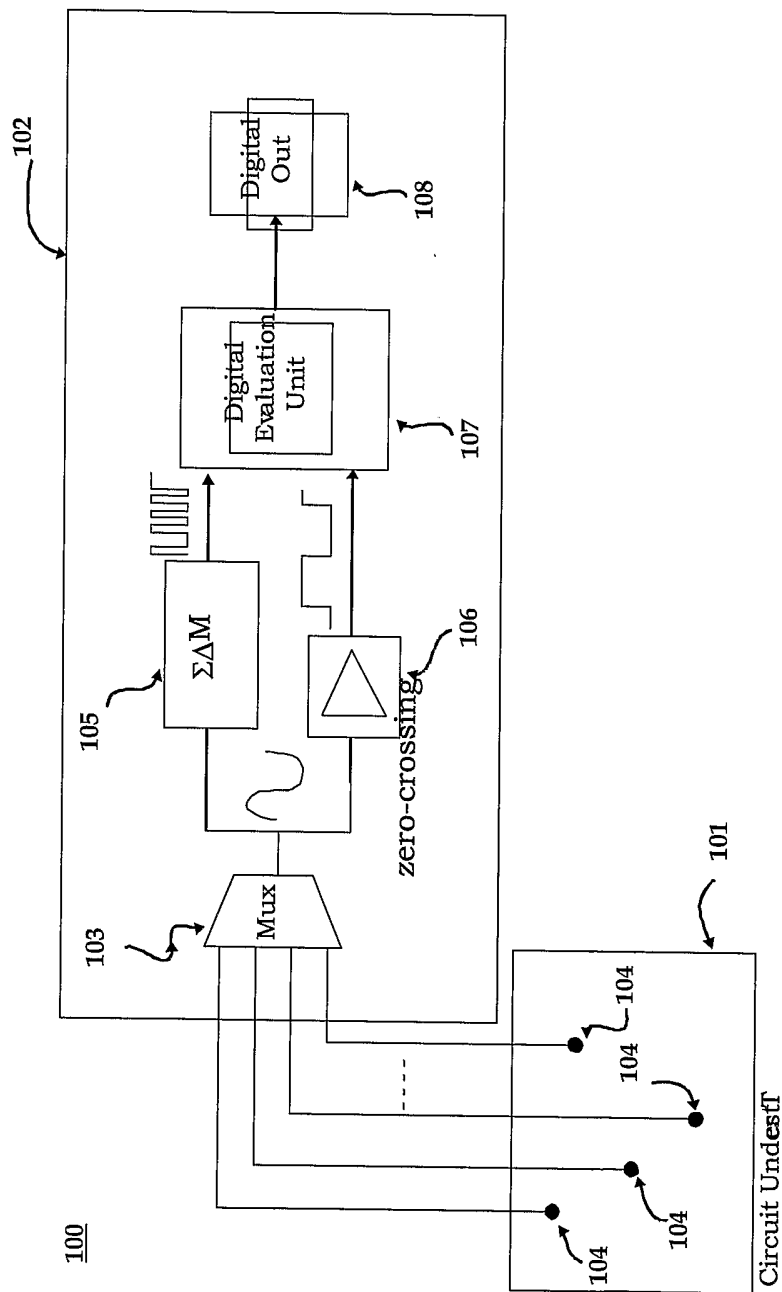


FIG 1



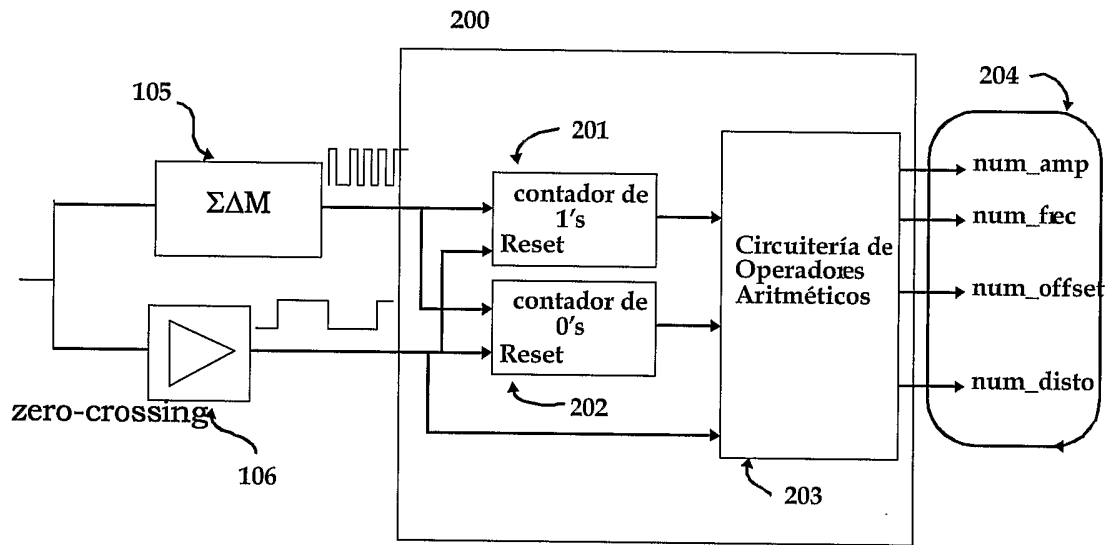


FIG 2

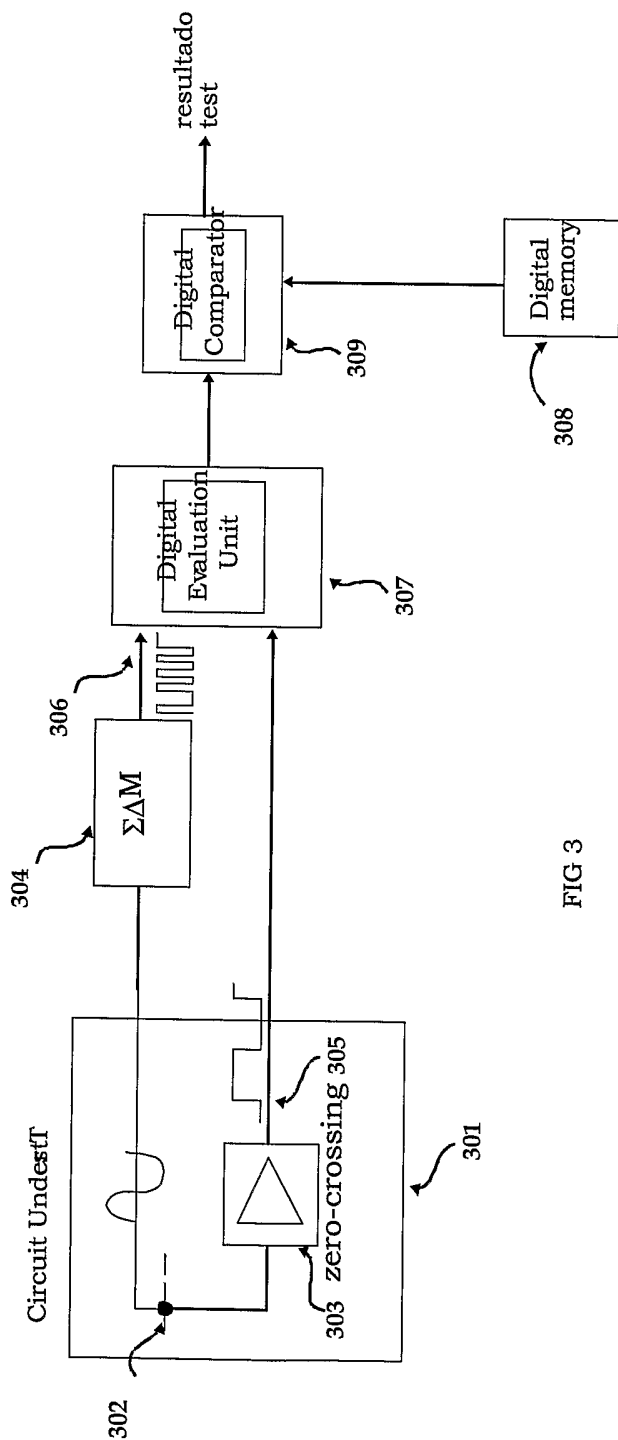


FIG 3

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/ES02/00533

**A. CLASSIFICATION OF SUBJECT MATTER**  
**IPC<sup>7</sup> G 01 R 31 / 367 , G 01 R 19 / 25 .**  
 According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**  
 Minimum documentation searched (classification system followed by classification symbols)  
**IPC<sup>7</sup> G 01 R 31 / 367 , G 01 R 19 / 25 , G 01 R 23 / 00 .**

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
**EPODOC, WIPL, PAJ, INSPEC , CIBEPAT.**

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6134505 A (SMITH) 17.10.2000 ; <b>see the whole document .</b>	1-7,9
Y	JP 2002055128 A (YOKOGAWA ELRCTRIC CORP.) 20.02.2002 ; <b>see the whole document .</b>	1-7,9
Y	EP 871036 A2 (FLUKE CORPORATION) 14.10.1998 ; <b>see the whole document .</b>	5
A		1-4,6-9
A	PATENT ABSTRACTS OF JAPAN , CD-ROM PAJ G01R 1976- 1993 ; JP 3158769 A (FUJI ELECTRIC CO LTD) 08.07.1991 .	1-9

Further documents are listed in the continuation of Box C.       See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier document but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
--	---

Date of the actual completion of the international search <b>23 January 2003 (23.01.03)</b>	Date of mailing of the international search report <b>29 January 2003 (29.01.03)</b>
--	---

Name and mailing address of the ISA/ <b>SPTO</b>	Authorized officer
Facsimile No.	Telephone No.

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No

PCT/ES02/00533

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6134505 A	17.10.2000	NONE	-----
JP 2002055128 A	20.02.2002	NONE	-----
EP 0871036 A	14.10.1998	JP 10319056 A CN 1202623 A US 5930745 A	04.12.1998 23.12.1998 27.07.1999
JP 3158769 A	08.07.1991	NONE	-----

**INFORME DE BUSQUEDA INTERNACIONAL**

Solicitud internacional n°  
PCT/ES02/00533

**A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD**

CIP<sup>7</sup> G 01 R 31 / 367 , G 01 R 19 / 25 .  
De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y la CIP.

**B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA**

Documentación mínima consultada (sistema de clasificación, seguido de los símbolos de clasificación)

CIP<sup>7</sup> G 01 R 31 / 367 , G 01 R 19 / 25 , G 01 R 23 / 00 .

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

EPODOC, WIPL, PAJ, INSPEC , CIBEPAT.

**C. DOCUMENTOS CONSIDERADOS RELEVANTES**

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones n°
Y	US 6134505 A (SMITH) 17.10.2000 ; todo el documento.	1-7,9
Y	JP 2002055128 A (YOKOGAWA ELRCTRIC CORP.) 20.02.2002 ; todo el documento.	1-7,9
Y	EP 871036 A2 (FLUKE CORPORATION) 14.10.1998 ; todo el documento.	5
A		1-4,6-9
A	PATENT ABASTRACTS OF JAPAN, CD-ROM PAJ G01R 1976-1993 ; JP 3158769 A (FUJI ELECTRIC CO LTD) 08.07.1991 .	1-9

En la continuación del recuadro C se relacionan otros documentos  Los documentos de familia de patentes se indican en el anexo

\* Categorías especiales de documentos citados:

“A” documento que define el estado general de la técnica no considerado como particularmente relevante.

“E” solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.

“L” documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).

“O” documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.

“P” documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.

“T” documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.

“X” documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.

“Y” documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.

“&” documento que forma parte de la misma familia de patentes.

Fecha en que se ha concluido efectivamente la búsqueda internacional. 23.01.2003

Fecha de expedición del informe de búsqueda internacional  
29 ENE 2003 29. 01. 03

Nombre y dirección postal de la Administración encargada de la búsqueda internacional O.E.P.M.  
C/Panamá 1, 28071 Madrid, España.  
n° de fax +34 91 349 53 04

Funcionario autorizado:  
Jaime Botella Maldonado.  
+34 91 349 53 82

**INFORME DE BÚSQUEDA INTERNACIONAL**  
 Información relativa a miembros de familias de patentes

Solicitud internacional nº  
 PCT/ES02/00533

Documento de patente citado en el informe de búsqueda	Fecha de publicación	Miembro(s) de la familia de patentes	Fecha de publicación
US 6134505 A	17.10.2000	NINGUNO	-----
JP 2002055128 A	20.02.2002	NINGUNO	-----
EP 0871036 A	14.10.1998	JP 10319056 A CN 1202623 A US 5930745 A	04.12.1998 23.12.1998 27.07.1999
JP 3158769 A	08.07.1991	NINGUNO	-----